

INFOTEHNOLOOGIA TEADUSKONNA ARVUTITEHNIKA INSTITUUDI TEADUS- JA ARENDUSTEgevuse AASTAARUANNE 2010

1. Instituudi struktuur

Arvutitehnika instituut, Department of Computer Engineering, Margus Kruus

Arvutitehnika ja -diagnostika õppetool, Chair of Computer Engineering and Diagnostics,
Raimund-Johannes Ubar

Digitaaltehnikaga õppetool, Chair of Digital Systems Design, Margus Kruus

Süsteemitarviku õppetool, Chair of Systems Programming, Ahto Kalja

2. Instituudi T&A iseloomustus (täidab str.üksus)

2.1 Õppetoolide või muude alamstruktuuriüksuste T&A kirjeldus ja tähtsamad tulemused

(sh õppetoolide või muude alamstruktuuriüksuste kuni 5 olulisemat publikatsiooni, tähtsamad T&A finantseerimise allikad ning soovi korral T&A-ga seotud tunnustused, ülevaade teaduskorralduslikust tegevusest ülevaade teadlasmobiilsusest ning hinnang teadustulemustele)

ATI teadusliku uurimistöö üldiseks teemaks on meetodite ja vahendite uurimine ning väljatöötamine usaldusväärsete sardsüsteemide projekteerimiseks. Konkreetsemalt töötatakse valdkondades: sardsüsteemide modelleerimine ja süntees, diagnostiline modelleerimine, digitaalsüsteemide verifitseerimine ja silumine, defekt-orienteeritud testimine, digitaalsüsteemide isetestimine ja süsteemide usaldatavuse analüüs ning tagamine.

Käesoleva aasta uurimistöös on saavutatud järgmisi teadustulemusi:

Esiletõstatavad

1. Instituut koordineerib tippkeskust CEBE ja kahte EL 7. Raamprogrammi projekti DIAMOND ja CREDES.
2. Esitati kirjastusele IGI Global 25-st peatükist koosnev materjal kogumiku „Fault-Tolerance and Applications in System-on-Chip Design: Advancements and Techniques“ väljaandmiseks. Kogumiku koostajateks on R.Ubar, J.Raik (TTÜ) ja T.Vierhaus (Saksamaa).
3. Töötati välja uus lähenemisviis diagnostika valdkonnas tunnustatud kõige üldisema rikete klassi nn. X-rikke mudeli simuleerimiseks. Erinevalt senistest meetoditest võimaldab uus meetod analüüsida paralleelselt mitte ainult ühe simulatsioonivektori rikete avastamise kombinatoorikat, vaid terve vektorite pere kombinatoorikat korraga, millega on saavutatud järsk simuleerimise kiiruse tõus. Tulemused on publitseeritud maailma tippkonverentsi DATE-2010 täisartiklite kogumikus.
4. Töötati välja uut tüüpi jaotatud struktuursete binaarotsustusdiagrammide mudel SSMIBDD digitaalskeemide esitamiseks, mis võimaldab senistest loogikataseme mudelitest efektiivsemat rikete modelleerimist. Meetod publitseeriti maailma ühel tähtsaimal mikroelektronika konverentsil ISCAS'2010 ja avaldati konverentsi täisartiklite kogumikus.

Muud märkimisväärsed

5. Uus ülikiire meetod füüsikaliste defektide simuleerimiseks digitaalses riistvaras. Senine konstantriikete simuleerimise meetod on üldistatud laiemale tingimuslike konstantriikete mudeli klassile. Tulemused on publitseeritud valdkonna ühe tähtsaima konverentsi DELTA-2010 täisartiklite kogumikus.

6. Uus senistest efektiivsem rikete mudeli optimeerimismeetod digitaalskeemide diagnostiliseks modelleerimiseks. Meetodi aluseks on uut tüüpi binaarotsustusdiagrammide SSMIBDD mudel. Tulemused on publitseeritud valdkonna ühe tähtsama konverentsi ISQED-2010 täisartiklite kogumikus.
7. Töötati välja uuel digitaalsüsteemide SSMIBDD-mudelil põhinev simulaator. Originaalne meetod graafide paralleelseks analüüsiks võimaldas suurendada simuleerimiskiirust võrreldes klassikalise ventiiltaseme meetodiga. Tulemused publitseeriti konverentsi EUROMICRO 2010 täisartiklite kogumikus.
8. Meetod digitaalriistvara verifitseerimise kiiruse ja täpsuse tõstmiseks, milles on realiseeritud uudne lähenemine väidete kontrolli ja verifitseerimise katte mõõtmiseks kõrgtaseme otsustusdiagrammide teooria abil. Tulemused on saadud M. Jenihhini hiljuti kaitstud doktoritöö raames ja publitseeritud ajakirjas Estonian Journal of Engineering, Vol. 16, Issue 1, 2010.
9. Uudse lähenemisviisi loomine digitaalsüsteemide verifitseerimiseks, mis põhineb kõrgtaseme otsustusdiagrammide ekvivalentsuse tõestamisel karakteristiklike polünoomide väärtuste arvutamise abil. Tulemused on saadud A.Karputkini hiljuti kaitstud doktoritöö raames ja publitseeritud ajakirjas Estonian Journal of Engineering, Vol. 16, Issue 1, 2010.
10. Uus lähenemisviis kommunikatsiooniviidete täpseks arvutamiseks kiipvõrkudes süsteemi tasemel, mis on aluseks usaldusväärsete kiipsüsteemide kõrgtaseme disainikeskkonna arendamisel. Tulemused on saavutatud doktorandi M. Tageli doktoriteema raames ja publitseeritud ajakirjas Estonian Journal of Engineering, Vol. 16, Issue 1, 2010.
11. Uus rakendus instituudis väljatöötatud kõrgtaseme otsustusdiagrammide teooriale, mis seisneb mutatsioonide analüüsi kiirendamises digitaalsüsteemide testimisel ja verifitseerimisel. Meetod publitseeriti rahvusvahelise konverentsi LATW-2010 täisartiklite kogumikus.
12. Uus registersiirete tasandi testigeneraator digitaalsüsteemidele, mis võimaldab tõsta testide sünteesi kiirust ja mis on võrreldes seniste testigeneraatoritega efektiivsem nn. „raskete rikete“ käsitlemisel. Meetod publitseeriti rahvusvahelise konverentsi DDECS-2010 täisartiklite kogumikus.
13. Töötati välja, implementeeriti ja katsetati uut kompleksset diagnostika-alast uurimiskeskonda, mis koosneb tarkvaratööriistadest koos liidestega professionaalsete disainitarkvaradega Synopsys, Mentor Graphics, Xilinx jt. Süsteem leiab rakendust nii uurimistöös kui õppelaboratooriumi baasina kõikidel õppetasanditel. Süsteem leidis tunnustust üle-euroopalisel konverentsil EWME, mille täisartiklite kogumikus ta publitseeriti.
14. Töötati välja kaks uut meetodit rikete simuleerimiseks ja testide genereerimiseks distributiivses töökeskkonnas, mis võimaldavad keerulisi algoritme paralleliseerida ja realiseerida üheaegselt paljudel protsessoritel. Meetodid on ette kantud kahel rahvusvahelisel konverentsil MIXDES'2010 ja BASYS'2010 ja publitseeritud nende konverentside täisartiklite kogumikes.
15. Töötati välja liides C-keelsete programmide modelleerimiseks andmevoo-diagrammina. Liides annab väga laiad võimalused eksperimentaaluuringute läbiviimiseks kõrgtasemel loodud (C-keeles esitatud) digitaalsüsteemide riist- ja tarkvara verifitseerimiseks ning disainivigade lokaliseerimiseks
16. Tippkeskuse CEBE raames, koostöös Elektroonikainstituudiga ja Tehnomeedikumiga juhitakse nelja koostööprojekti. Projektide raames on väljatöötatud protsessorite arhitektuuride pere biosignaalide töötlemiseks, on valmistatud mobiilne aju EEG-signaali analüsaator, mis võimaldab määrata inimese depressiooni astet ning on välja töötatud uut tüüpi algoritmid dialüüsi protsesside analüüsiks, kus kasutatakse elektroonikasüsteemide diagnostika põhimõtteid.
17. Korraldati kolm rahvusvahelist üritust: (1) tippkeskuse CEBE Rahvusvahelise Nõukoja koosolek (2-4. 10), millega seondus ka CEBE seminar (2) europrojekti CREDES (Centre of Research

- Excellence in Dependable Embedded Systems), rahvusvaheline seminar (22.09.2010-23.09.2010) ning (3) europrojekti DIAMOND rahvusvaheline seminar (04.10.2010-07.10.2010).
18. Instituudi õppejõud viisid läbi kaks kursust doktorikoolide raames Brandenburgi Tehnikaülikooli juures (29.05.2010-30.05.2010) ja Darmstadt Tehnikaülikooli juures (16.08.2010-20.08.2010) Saksamaal.
 19. Instituudis alustas tööd (01.09.2010) uus välisprofessor Thomas Hollstein, kelle ülesandeks on käivitada uued uurimissuunad instituudis usaldusväärsete sardsüsteemide projekteerimise valdkonnas.
 20. Kaitsti kaks doktoritööd: 8. jaanuaril kaitses Erika Matsak ja 25. novembril Anna Rannaste .
 21. Instituudi töötajate poolt avaldatud sihtfinantseeritava teadusteema taotlemisel arvestatavad eelretsenseeritavad teaduspublikatsioonid:
 - 1.1 – 4 publikatsiooni; 1.2 – 4 publikatsiooni; 3.1 – 34 publikatsiooni; 3.2 – 2 publikatsiooni;
 - 4.1 – 3 publikatsiooni.

2.2 Instituudi teadus- ja arendustegevuse teemade ja projektide arvandmed

Haridus- ja Teadusministeerium:

- sihtfinantseeritav teema: “Töökindlate sardsüsteemide disain” 01.01.08.- 31.12.13

SA Eesti Teadusfond:

4 granti:

grant 7483 “Self-Diagnosing Digital Systems (2009-2011)”

grant 7068 “Digital System Verification and Test Using High-Level Decision Diagrams (2007-2010)”

grant 7894 “System Test Methods for Complex Electronic Boards (2009-2012)”

grant 8478 “ Hardware Functional Verification and Debug (2010-2013)”

Ettevõtluse Arendamise Sihtasutus:

eeluuring „Eeluuring mikroelektronika kiipide tõrkekindlate 3D-arhitektuuride rakendusuringule 7. raamprogrammi raames“

SA Archimedeselega sõlmitud lepingud:

Eesti tippkeskus “Centre for Integrated Electronic Systems and Biomedical Engineering”

EL Raamprogrammi projektid:

1. European Union`s 7th Framework Programme`s collaborative research project FP7-2009-IST-4-248613 DIAMOND – Diagnosis, Error Modelling and Correction for Reliable Systems Design (2010-2012)

2. Centre of Research Excellence in Dependable Embedded Systems – CREDES (2009-2012)

2.3 Instituudi töötajate poolt avaldatud sihtfinantseeritava teadusteema taotlemisel arvestatavad eelretsenseeritavad teaduspublikatsioonid (ETIS klassifikaatori alusel 1.1, 1.2, 1.3, 2.1, 2.2, 3.1, 3.2, 3.3, 4.1 ja 5.1)

1.1

Ivask, Eero; Devadze, Sergei; Ubar, Raimund (2010). Distributed Approach for Parallel Exact Critical Path Tracing Fault Simulation . International Journal of Microelectronics and Computer Science, 1(2), 165 - 174.

Ellervee, Peeter; Jervan, Gert (2010). Guest Editorial. Microprocessors and Microsystems, 34(5),

117 - 117.

Ellervee, Peeter; Jervan, Gert (2010). Guest Editorial: Special issue on selected papers from NORCHIP 2008. *Analog integrated circuits and signal processing*, 64(3), 213 - 214.

Sudnitson, Alexander; Mihhailov, Dmitri; Kruus, Margus (2010). Project-Oriented Approach to Low-Power Topics in Advanced Digital Design Course. *Electronics and Electrical Engineering*, 6 (102), 151 - 154.

1.2

Jenihhin, M.; Raik, J.; Chepurov, A.; Ubar, R. (2010). Application of High-Level Decision Diagrams for Simulation-Based Verification tasks. *Estonian Journal of Engineering*, 16(1), 56 - 77.

Karputkin, A.; Ubar, R.; Raik, J.; Tombak, M. (2010). Canonical Representation of High Level Decision Diagrams. *Estonian Journal of Engineering*, 16(1), 39 - 55.

Ubar, Raimund (2010). Centre of Integrated Electronic Systems and Biomedical Engineering – CEBE. *Estonian Journal of Engineering*, 16(1), 7 - 10.

Tagel, M.; Ellervee, P.; Jervan, G. (2010). System-Level Communication Synthesis and Dependability Improvements for Network-on-Chip Based Systems. *Estonian Journal of Engineering*, 16(1), 23 - 38.

3.1

Ubar, Raimund; Devadze, Sergei; Raik, Jaan; Jutman, Artur. (2010). Fast Fault Simulation for Extended Class of Faults in Scan-Path Circuits. *Proc. of 5th IEEE Int. Symposium on Electronic Design, Test and Applications - DELTA 2010* (14 - 19). Los Alamitos, California, USA: IEEE Computer Society

Ubar, Raimund; Mironov, Dmitri; Raik, Jaan; Jutman, Artur (2010). Fault Collapsing with Linear Complexity in Digital Circuits. *Proceedings of 2010 IEEE International Symposium on Circuits and Systems (ISCAS)* : Paris May 30 2010-June 2 2010 (653 - 656).IEEE

Ubar, Raimund; Devadze, Sergei; Raik, Jaan; Jutman, Artur. (2010). Parallel X-Fault Simulation with Critical Path Tracing Technique. *Kathy Preas (Toim.)*. *Proceedings of Design, Automation & Test in Europe* : Dresden, Germany March 8-12, 2010 (879 - 884).IEEE Computer Society Press

Wuttke, Heinz-Dietrich; Ubar, Raimund; Henke, Karsten. (2010). Remote and Virtual Laboratories in Problem-Based Learning Scenarios. *5th IEEE Int. Workshop on Multimedia Technologies for E-Learning – MTEL 2010* (1 - 6). Taichung, Taiwan: IEEE

Ubar, Raimund; Mironov, Dmitri; Raik, Jaan; Jutman, Artur. (2010). Structural Fault Collapsing by Superposition of BDDs for Test Generation in Digital Circuits . *Proceedings of the Eleventh International Symposium on Quality Electronic Design ISQED 2010* : March 22-24, 2010 San Jose, California USA (250 - 257). Los Alamitos, California: IEEE Computer Society Press

Jenihhin, M.; Raik, J.; Ubar, R.; Shchenova, T. (2010). An Approach for PSL Assertion Coverage Analysis with High-Level Decision Diagrams. In: *Proceedings of the IEEE 8th East-West Design & Test Symposium : IEEE 8th East-West Design & Test Symposium (EWDTS 2010)*, St. Petersburg, Russia, September 17 -20, 2010 . , 2010, 13 - 16.

- Jenihhin, M.; Raik, J.; Fujiwara, H.; Ubar, R.; Viilukas, T. (2010). An Approach for Verification Assertions Reuse in RTL Test Pattern Generation. In: Proceedings of the IEEE 11th Workshop on RTL and High Level Testing (WRTL'10) : IEEE 11th Workshop on RTL and High Level Testing (WRTL'10), Shanghai, China, December 5-6, 2010, . , 2010, 1 - 6. [ilmumas]
- Mihhailov, Dmitri; Sklyarov, Valery; Skliarova, Iouliia; Sudnitson, Alexander (2010). Application-specific hardware accelerator for implementing recursive sorting algorithms. The 2010 International Conference on Field-Programmable Technology (FPT'10), Beijing, China, Dec. 8-10, 2010. IEEE, 2010. [ilmumas]
- Ivask, E.; Devadze, S.; Ubar, R. (2010). Collaborative Distributed Computing in the Field of Digital Electronics Testing. In: Information Technology for Balanced Automation Systems: BASYS 2010, Valencia, Spain, July 21-23. Springer, 2010, 145 - 152.
- Ivask, Eero; Devadze, Sergei; Ubar, Raimund (2010). Collaborative Distributed Fault Simulation for Digital Electronic Circuits. In: Intelligent Distributed Computing IV: 4th International Symposium on Intelligent Distributed Computing - IDC 2010, Tangier, Marocco, September 2010 . (Toim.) Mohammad Essaaidi, Michele Malgeri, Costin Badica. Springer, 2010, (Studies in Computational Intelligence), 67 - 76.
- Lepmets, Marion; Nael, Margus (2010). Comparison of plan-driven and agile project management approaches: theoretical bases for a case study in Estonian software industry. In: Databases and Information Systems : Proceedings of the Ninth International Baltic Conference, Baltic DB&IS 2010, Riga, Latvia, July 5-7, 2010: (Toim.) Barzdins, Janis; Kirikova, Marite. Riga: University of Latvia Press, 2010, 473 - 486.
- Viilukas, Taavi; Raik, Jaan; Jenihhin, Maksim; Ubar, Raimund; Krivenko, Anna (2010). Constraint-based Test Pattern Generation at the Register-Transfer Level. In: Proceedings of the 13th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems : April 14–16, 2010 Vienna, Austria: IEEE, 2010, 352 - 357.
- Kruus, H.; Ubar, R.; Raik, J. (2010). Defect-Oriented BIST Quality Analysis. In: Proceedings of the 12th Biennial Baltic Electronic Conference BEC2010: IEEE 2010 12th Biennial Baltic Electronics Conference (October 4-6, 2010, Tallinn, Estonia). (Toim.) T. Rang, P. Ellervee, M. Min. Tallinn: Tallinn University of Technology Press, 2010, 153 - 156.
- Tagel, M.; Ellervee, P.; Jervan, G. (2010). Design Space Exploration and Optimisation for NoC-based Timing Sensitive Systems. In: Proceedings of the 12th Biennial Baltic Electronic Conference BEC2010: IEEE 2010 12th Biennial Baltic Electronics Conference (October 4-6, 2010, Tallinn, Estonia). (Toim.) T. Rang, P. Ellervee, M. Min. Tallinn University of Technology, 2010, 177 - 180.
- Talisainen, A.; Kostin, S.; Karai, D.; Fridolin, I.; Ubar, R. (2010). Dialysis Adequacy On-Line Monitoring Using Diasens Optical Sensor: Accurate Kt/V Estimation by Smoothing Algorithms. In: Proceedings of the 12th Biennial Baltic Electronics Conference BEC 2010: 12th Biennial Baltic Electronics Conference, Tallinn, October 4-6, 2010.. (Toim.) Rang, T.; Ellervee, P.; Min, M.. Tallinn: Tallinn University of Technology Press, 2010, 273 - 276.
- Ivask, Eero; Devadze, Sergei; Ubar, Raimund (2010). Distributed Approach for Parallel Exact

Critical Path Tracing Fault Simulation . In: Proceedings of the 17th International Conference Mixed Design of Integrated Circuits and Systems MIXDES 2010 : Wroclaw, Poland 24 - 26 June, 2010: (Toim.) Andrzej Napieralski. IEEE, 2010, 471 - 476.

Gorev, M. ; Ellervee, P. (2010). FPGA Based System for Video Compression and Transmission over Bluetooth. The 53rd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'2010), Seattle, Washington, USA, Aug. 2010. IEEE, 2010, 367 - 370.

Mihhailov, Dmitri; Sklyarov, Valery; Skliarova, Iouliia; Sudnitson, Alexander (2010). Hardware Implementation of Recursive Algorithms. 53rd IEEE International Midwest Symposium on Circuits and Systems - IEEE MWSCAS 2010, Seattle, WA, USA, August 1-4, 2010. IEEE, 2010, 225 - 228.

Sagahyoon, F.; Aloul, A.; Sudnitson, A. (2010). Low Power State Assignment Using ILP Techniques. The 15th IEEE Mediterranean Electrotechnical Conference – MELCON-2010. Valletta, Malta, April 25-28, 2010. IEEE, 2010, 850 - 855.

Moorits, Erkki; Jervan, Gert (2010). Low Resource Demanding FOTA Method For Remote AtoN Site Equipment. OCEANS 2010 MTS/IEEE Seattle, Seattle, Washington, USA September 20-23, 2010. IEEE, 2010.

Kostin, S.; Ubar, R.; Raik, J. (2010). Macro Level Defect-Oriented Diagnosability of Digital Circuits. In: Proceedings of the 12th Biennial Baltic Electronic Conference BEC2010: IEEE 2010 12th Biennial Baltic Electronics Conference (October 4-6, 2010, Tallinn, Estonia). (Toim.) T. Rang, P. Ellervee, M. Min. Tallinn: Tallinn University of Technology Press, 2010, 149 - 152.

Hantson, Hanno; Raik, Jaan; di Guglielmo, Giuseppe; Jenihhin, Maksim; Chepurov, Anton; Fummi, Franco; Ubar, Raimund (2010). Mutation Analysis with High-Level Decision Diagrams. In: 11th Latin-American TestWorkshop, Punta del Este, Uruguay, 28-31.03.2010: IEEE Computer Society Press, 2010, 1 - 6.

Mihhailov, Dmitri; Sklyarov, Valery; Skliarova, Iouliia; Sudnitson, Alexander (2010). Optimization of FPGA-based Circuits for Recursive Data Sorting. Proc. 12th Biennial Baltic Electronics Conference (BEC'2010), Tallinn, Estonia, 2010. Tallinn University of Technology, 2010. [ilmumas]

Mihhailov, D.; Sklyarov, V.; Skliarova, I.; Sudnitson, A. (2010). Optimization of Recursive Sorting Algorithms for Implementation in Hardware. Proc. 22nd International Conference on Microelectronics (ICM 2010), Cairo, Egypt, Dec. 19-22, 2010. IEEE Electron Devices Society, 2010. [ilmumas]

Mihhailov, D.; Sklyarov, V.; Skliarova, I.; Sudnitson, A. (2010). Parallel FPGA-based Implementation of Recursive Sorting Algorithms. The 2010 International Conference on Reconfigurable Computing and FPGAs (ReConFig 2010), Cancun, Mexico, Dec. 13-15, 2010. IEEE Computer Society Press, 2010. [ilmumas]

Pesonen, V.; Gorev, M.; Annus, P.; Min, M.; Ellervee, P. (2010). Reconfigurable Data Acquisition Unit for Bioimpedance Measurements. In: Proceedings of the 12th Biennial Baltic Electronic Conference BEC2010: IEEE 2010 12th Biennial Baltic Electronics Conference (October 4-6, 2010, Tallinn, Estonia). (Toim.) T. Rang, P. Ellervee, M. Min. Tallinn University of Technology, 2010,

Reinsalu, U.; Raik, J.; Ubar, R. (2010). Register-Transfer Level Deductive Fault Simulation Using Decision Diagrams. In: Proceedings of the 12th Biennial Baltic Electronic Conference BEC2010: IEEE 2010 12th Biennial Baltic Electronics Conference (October 4-6, 2010, Tallinn, Estonia). (Toim.) T. Rang, P. Ellervee, M. Min. Tallinn: Tallinn Technical University Press, 2010, 193 - 196.

Pesonen, V.; Gorev, G.; Annus, P.; Min, M.; Ellervee, P. (2010). Reprogrammable Data Acquisition Unit to Reduce Aliasing Effect in Bioimpedance Measurements. The 7th Annual FPGAworld Conference, Copenhagen, Denmark, Sept. 2010. , 2010, 6 pp.

Mironov, D.; Ubar, R.; Devadze, S.; Raik, J.; Jutman, A. (2010). Structurally Synthesized Multiple Input BDDs for Speeding up Logic-Level Simulation of Digital Circuits. In: Proc. of the 13th Euromicro Conference on Digital System Design – DSD'2010: 13th Euromicro Conference on Digital System Design – DSD'2010. Lille, France, Sept.1-3, 2010. , 2010, 658 - 663.

Mihhailov, D.; Sklyarov, V.; Skliarova, I.; Sudnitson, A. (2010). Synthesis and Implementation of Hierarchical Finite State Machines with Implicit Modules. the 2010 International Conference on Reconfigurable Computing and FPGAs (ReConFig 2010), Cancun, Mexico, Dec. 13-15, 2010. IEEE Computer Society Press, 2010. [ilmumas]

Tsertov, Anton; Jutman, Artur; Devadze, Sergei. (2010). Testing Beyond the SoCs in a Lego Style. In: Proceedings of IEEE East-West Design & Test Symposium (EWDTS'10): IEEE East-West Design & Test Symposium (EWDTS'10). Harkov University of Technology, 2010, 334 - 338.

Gorev, M.; Ellervee, P. (2010). Variable byte-length data compression algorithm. In: Proceedings of the 12th Biennial Baltic Electronic Conference BEC2010: IEEE 2010 12th Biennial Baltic Electronics Conference (October 4-6, 2010, Tallinn, Estonia). (Toim.) T. Rang, P. Ellervee, M. Min. Tallinn University of Technology, 2010, 353 - 356.

Mihhailov, D.; Sudnitson, A.; Tarletski, K. (2010). Web-Based Tool for FSM Encoding Targeting Low-Power FPGA Implementation. The 27th International Conference on Microelectronics– MIEL-2010. Nis, Serbia, May 16-19, 2010. IEEE, 2010, 349 - 352.

3.2

Ubar, Raimund; Jutman, Artur; Raik, Jaan; Devadze, Sergei; Aleksejev, Igor; Chepurov, Anton; Chertov, Anton; Kostin, Sergei; Orasson, Elmet; Wuttke, H.-D. (2010). E-Learning Environment for WEB-Based Study of Testing. In: Proc. of the 8th European Workshop on Microelectronics Education - EWME 2010: 8th European Workshop on Microelectronics Education - EWME 2010. Saksamaa, Darmstadt:, 2010, 47 - 52.

Gorev, M.; Pesonen, V.; Ellervee, P. (2010). Introducing Computer Systems Related Topics in the First Study Semester. The 8th European Workshop on Microelectronics Education (EWME'2010), Darmstadt, Germany, May 2010.. , 2010, 185 - 188.

4.1

Rang, Toomas; Ellervee, Peeter; Min, Mart (2010). Proceedings of the 12th Biennial Electronics Conference BEC2010.

Ellervee, Peeter; Jervan, Gert (2010). Special issue on selected papers from NORCHIP 2008.

Ellervee, Peeter; Jervan, Gert (2010). Special Issue on Selected Papers from Norchip 2008.

2.4 Instituudis kaitstud doktoriväitekirjade loetelu

Erika Matsak, Arvutitehnika instituut

Teema: *Discovering Logical Constructs from Estonian Children Language*

(Loogiliste konstruktsioonide avastamine eesti laste keelest)

Juhendaja: dotsent Margus Kruus

Kaasjuhendaja: Peeter Lorents

Kaitses: 08.01.2010

Omistatud kraad: filosoofiadoktor (arvuti- ja süsteemitehnika)

Anna Rannaste, Arvutitehnika instituut

Teema: *Hierarchical Test Pattern Generation and Untestability Identification Techniques for Synchronous Sequential Circuits*

(Hierarhilised testigeneerimise ja mittetestitavuse identifitseerimise meetodid sünkroonsetele järjestikскеemidele)

Juhendaja: vanemteadur Jaan Raik

Kaitses: 25.11.2010

Omistatud kraad: filosoofiadoktor (arvuti- ja süsteemitehnika)