

TALLINNA TEHNIKAÜLIKOOL
Infotehnoloogia teaduskond
Thomas Johann Seebecki elektroonikainstituut

IEE40LT
Rauno Jõemaa 112759 IAEB

TÜÜRITAV SÜNKROONNE ALALDI

Bakalaureusetöö

Juhendaja: Mihhail Pikkov
Ph.D.
Dotsent

Tallinn 2016

Autorideklaratsioon

Kinnitan, et olen koostanud antud lõputöö iseseisvalt ning seda ei ole kellegi teise poolt varem kaitsmisele esitatud. Kõik töö koostamisel kasutatud teiste autorite tööd, olulised seisukohad, kirjandusallikatest ja mujalt pärinevad andmed on töös viidatud.

Autor: Rauno Jõemaa

02.06.2016

Lõputöö ülesande püstitus

- Lõputöö teema:** Tüüritav sünkroonne alaldi
Controlled Synchronous Rectifier
- Teema päritolu:** Isiklik huvi
- Lõputöö eesmärgid:** Kujundada efektiivne MOSFET-idel põhinev tüüritav sünkroonne alaldi keskväljavõttega trafo järel, mille väljund on lihtsasti piiratud nii pingega kui ka vooluga.
Kujundada seadme väljundpinge väljundvoolust otseselt sõltumatuks, kasutades väljundvoolu tekitatud pingelangude kompenseerimist.
Kujundada *soft-start* moodul, mis kasutaks ära alaldi tüüritavust.
- Lähtetingimused:**
- Alaldatud väljundpinge minimaalne ülempiir on 12V
 - Suurim väljundvool on 10A
 - Süsteem ei kasuta ajapõhiseid funktsioone nagu ostsilleerimist või *Pulse-Width Modulation*'it (PWM)
 - Tüüritava sünkroonse alaldi väljundil on maksimaalselt kaks impulssi ühe siinuspoolkaare kohta
 - Stabiliseerunud väljundil ühe siinuspoolkaare vooluimpulsside erinevus ei ületa 5%, kui väljundvool on 10A
 - Stabiliseerunud väljundpinge pulsatsioonid püsivad väiksemad, kui 500mV
 - Väljundpingel ei kajastu tarbijast sõltuvaid väljundahela pingelange
- Lahendatavad küsimused:** Kas seade on realiseeritav?
Milline on kasulik MOSFET-moodul tüüritavale sünkroonsele alaldile?
Kas tüüritav sünkroonne alaldi võimaldab täisfunktsionaalsust, võttes kõik toitepinged ühelt keskväljavõttega transformaatori sekundaarmähiselt?
Kas ilma ajaliste funktsioonide kasutuseta MOSFET-ide juhtskeemis on võimalik luua efektiivne tüüritav sünkroonne alaldi?

Annotatsioon

Bakalaureuse lõputöö teema „Tüüritav sünkroonne alaldi“, hõlmab endas efektiivse MOSFET mooduli kavandamist vahelduvvoolu alaldamiseks ning selle väljundpinge ja -voolu tüüritavust võimaldava juhtskeemi välja töötamist.

Töö eesmärgiks on rakendada lahendusi efektiivsemaks sünkroonne alaldi tüürimiseks ja vahelduvvoolu alaldamiseks, tuginedes põhjalikule analüüsimisele metall-oksiid-pooltjuht väljatransistorite (MOSFET) põhilistest omadustest ning sünkroonne alaldi tüürimise põhilistest printsiipidest.

Töö käigus on põhjalikult uuritud MOSFET-i tööpõhimõtteid ja eriomadusi. Uuritule toetudes mõista, kuidas teha vajaminevaid optimatsioone MOSFET-ide konfiguratsioonis, et neid oleks võimalik rakendada tüüritavas sünkroonses alaldis. Sellele järgneb juhtskeemi välja töötamine, mis võimaldaks efektiivselt, ohutult ning lihtsasti kontrollida eelkavandatud MOSFET-moduleid. Seejärel viiakse läbi kavandatud seadme põhjal simulatsioonid, mis saavad kinnitavaks sammuks kavandatud seadme realiseerimiseks. Kõige viimaks kujundatakse seadme trükkplaat.

Töö tulemusteks on efektiivse tüüritava sünkroonne alaldi töötav simulatsiooni mudel, selle trükkplaat ning parem arusaam selle kujundamise alustest.

Lõputöö on kirjutatud eesti keeles ning sisaldab teksti 57 leheküljel, 8 peatükki, 28 joonist, 0 tabelit.

Abstract

Controlled Synchronous Rectifier

The topic of this bachelor's thesis „Controlled synchronous rectifier“ entails the devising of an effective MOSFET module for rectifying alternating current and working out a driver circuit which enables the controlling of its output current and voltage.

The objective of this work is to utilize solutions for controlling the synchronous rectifier and rectifying alternating current more efficiently while relying on in-depth analysis of the metal-oxide-semiconductor field-effect-transistor's (MOSFET) main properties and the essential principles of the controlling of a synchronous rectifier.

Through the process of this work, the operating fundamentals and particular properties of MOSFET switches are examined. Based on the examined, the understanding of how to make optimisations to the configuration of a MOSFET module so that they could be implemented in a controlled synchronous rectifier. This is followed by working out the driver circuit which would enable more effective, safer and simpler controlling of the predevised modules. After that the simulations of the devised device will be performed, which will become the affirming step for its realisation. Ultimately a printed circuit board (PCB) will be designed of the device.

The results of this work are a working simulation model of an effective controlled synchronous rectifier, it's PCB and a better understanding of the principles of designing it.

The thesis is in Estonian and contains 57 pages of text, 8 chapters, 28 figures, 0 tables.

Lühendite ja mõistete sõnastik

BJT	Bipolar Junction Transistor; bipolaartransistor
CT	Center Tap; mähise keskväljavõte
DCR	Direct Current Resistance; alalisvoolu takistus
EMI	Electromagnetic Interference; elektromagnetiline müra
ESR	Equivalent Series Resistance; ekvivalentne jadatakistus
GND	Ground; maandus
IGBT	Insulated-gate bipolar transformer; Isoleeritud paisuga bipolaartransistor
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor; metall-oksiid-pooljuht väljatransistor
N-MOS	n-channel MOSFET; n-kanaliga MOSFET
P-MOS	p-channel MOSFET; p-kanaliga MOSFET
PCB	Printed Circuit Board; trükkplaat
SOA	Safe Operating Area; MOSFET-i ohutu neeluvoolu impulsside kestus vastavatel neelu-lätte potentsiaalide erinevustel
TRIAC	Triode for Alternating Current; sümistor
Back-to-back	Kaks pn-siiret jadaihenduses vastupidistes suundades
Gate driver	Juhtlülitus elektriahela tüürimiseks
P-n junction	Pn-siire; ülemineku ala ühes pooljuht kristallis, mis jääb erimärgiliste ioonidega legeeritud kihtide vahele; erimärgiliste ioonidega legeeritud pooljuht kristalli osade vahel olev neutraalne ülemineku piirkond
Soft-Start	Hävitavate vooluimpulsside ehk löökvoolude piiramise meetodil startiv süsteem
$I_{D(p)}$	Maximum pulsed drain current; maksimaalne neelu impulssvool
$V_{(BR)DSS}$	Maximum drain-source breakdown voltage; MOSFET-i läbilöögi pinge
$R_{DS(on)}$	Drain-source ON resistance; neelu-lätte vahelise avatud kanali takistus
R_G	MOSFET gate resistor; MOSFET-i paisuga ühendatud takisti
$Q_{g(th)}$	Total gate charge at threshold voltage; paisu laeng lävepingel
$V_{GS(th)}$	Gate-source treshold voltage; paisu-lätte lävepinge
V_{SD}	Forward ON voltage (bodydiode); kehadiodi päripingelang

Sisukord

1 Sissejuhatus	11
2 Süsteemi osade uurimine	12
2.1 Sünkroonne alaldi	12
2.2 MOSFET-i kasutus	14
2.2.1 Tähelepanekuid optimaalse MOSFET-i valikul.....	19
2.3 Tüüritav alaldi.....	20
3 Süsteemi struktuurskeem.....	22
3.1 MOSFET alaldi moodul.....	23
3.2 Pii filter	25
3.3 Keskväljavõttega trafo	26
3.4 Väljundpinge piiraja	27
3.5 Väljundpinge regulatsiooni kompenseerija	28
3.6 Diiodrežiimi ning faasidevahe impulsside tekitaja	30
3.7 Löökvoolu piiraja.....	31
3.8 MOSFET-ide paisu draiverid.....	32
3.9 Negatiivne toiteahel juhtskeemile.....	33
3.10 Positiivsed toiteahelad juhtskeemile	33
4 Süsteemi põhiosade printsipaalskeemid	35
4.1 Kompensatsiooniga väljundpinge piiraja impulssid.....	35
4.2 Diiodrežiimi ning faasivahe impulssid	41
4.3 Väljundvoolu piiravad impulssid	43
4.4 Paisu draiveri sisend- ja väljundimpulssid	51

4.5 Tüüritava sünkroonse alaldi väljundahel	54
5 Simulatsioonide tulemused.....	56
6 Elektriskeem	63
7 Trükkplaadi kujundus	65
8 Kokkuvõte	68
Kasutatud kirjandus	69
LISA 1 – Valitud MOSFET-i andmelehe esileht	71
LISA 2 – Valitud MOSFET-i andmelehe kolmas leht	72
LISA 3 – Trükkplaadi 3D mudel.....	73

Jooniste loetelu

Joonis 2.1 – A) Kaks potentsiaalset vooluringi ja lühis; B) Alaldatud vooluringid; C) Filtreeritud vooluring; D) Sünkroonse alaldi alumine vooluahel; E) Sünkroonse alaldi ülemine vooluahel;	12
Joonis 2.2 – A) n-kanaliga küllustüüpi MOSFET-i vertikaalse struktuuri läbilõige [3]; B) n-kanaliga küllustüüpi MOSFET-i planaarse struktuuri läbilõige [4].....	14
Joonis 2.3 – <i>Back-to-back</i> MOSFET lüliti konfiguratsioon	15
Joonis 2.4 – MOSFET-i parasiitsed komponendid [5]	16
Joonis 2.5 – A) Tüüritava alaldi vooluimpulss siinuse taguküljel; B) Tüüritava alaldi vooluimpulss siinuse esiküljel; C) Tüüritava sünkroonse alaldi vooluimpulsid mõlemal siinuse küljel;	21
Joonis 2.6 – Tüüritav sünkroonne alaldi kasutades <i>back-to-back</i> konfiguratsioonis MOSFET-lüliteid.....	21
Joonis 3.1 – Tüüritava sünkroonse alaldi struktuurskeem.....	22
Joonis 3.2 – Tüüritava sünkroonse alaldi väljundvool ning MOSFET-ide paisude pinged	23
Joonis 3.3 – Pii filtri skeem [11].....	25
Joonis 3.4 – A) Ilma peak detector’ita; B) Peak detector’i rakendamisel	29
Joonis 4.1 Kompensatsiooniga väljundpinge piiraja printsiipaalskeem koos olulisemate signaalide graafikutega – Kompensatsiooni lätepingeks on V_2	36
Joonis 4.2 Kompensatsiooniga väljundpinge piiraja printsiipaalskeem koos olulisemate signaalide graafikutega – Kompensatsiooni lähtepingeks on V_{44}	37

Joonis 4.3 Diodrežiimi ning faasivahe tekitaja impulsside printsiipaalskeem koos olulisemate signaalide graafikutega.....	42
Joonis 4.4 Väljundvoolu piiraja printsiipaalne skeem.....	44
Joonis 4.5 Voolupiiraja printsiipaalskeemi kirjeldavad graafikud	45
Joonis 4.6 MOSFET-ide paisu draiverite impulsside loomise skeem koos selle olulisemate graafikutega.....	52
Joonis 4.7 Tüüritava sünkroonse alaldi väljundahela printsiipaalskeem koos selle olulisemate signaalide graafikutega.....	55
Joonis 5.1 Tüüritava sünkroonse alaldi terviklik simuleerimise skeem	57
Joonis 5.2 Tüüritava sünkroonse alaldi väljundpinge punktis V44 kõrvutatud määratud pingega V5.....	58
Joonis 5.3 Ühe vooluahela trafo poolmähist läbiva voolu impulsside erinevuse mõõtmine ühe siinuspoolkaare kahel impulsil	59
Joonis 5.4 Simuleeritud väljundi pulsatsioonipinge mõõtmise tulemus.....	60
Joonis 5.5 Väljundite V44 ja V2 kõrvutatud Fourieri analüüsid.....	61
Joonis 6.1 Tüüritava sünkroonse alaldi elektriskeem.....	64
Joonis 7.1 Trükkplaadi kõik kihid (värviline)	65
Joonis 7.2 Trükkplaadi ülemine vasekiht	66
Joonis 7.3 Trükkplaadi alumine vasekiht	66
Joonis 7.4 Trükkplaadi siiditrükk	67
Joonis 7.5 Trükkplaadi ülemise vasekihi jootemask	67

1 Sissejuhatus

Tüüpilised dioodalaldid ei nõua lisa sisendit ega juhtskeemi, et aldamine toimuda saaks. Sellegipoolest võivad dioodide hajuvvõimsused olla oluliselt suuremad kui metall-oksiid-pooljuhist väljatransistori (MOSFET) kanali takistusest tulenev. Kuna tänapäeval on võimalik väikese peavaluta valmistada keerukaid trükkplaatide ja skeeme üsna kiirelt, siis tasuks pigem pöörata suurem tähelepanu süsteemi efektiivsusele ning mitte heituda komplekssete juhtskeemide lisandumisest. Asünkroonse alaldi asendamine sünkroonse alaldiga oleks esimene samm efektiivsema süsteemi poole. Kuna MOSFET nõuab kanali avamiseks juhtsignaali, on juhtskeemi olemasolu möödapääsematu, kuid just seda paratamatust on käsitletavas lõputöös ära kasutatud. Kõrvaldades MOSFET-i mõlemasuunalise voolublokeerimise limiteerituse, ilmneb võimalus alaldi juhtivust selle sisenditest ja väljunditest sõltumatult kontrollida. Selline iseärasus meenutab sümistorit. Sümistori suurest päripingelangust rääkimatagi, on selle juhtimine mitmete kitsaskohtadega ning ainuüksi kadusid arvestades piisaks, et kindlaks määrata sümistori kasutuskõlbmatust antud ülesande tingimuste täitmiseks. Kirjeldatav süsteem on üles ehitatud printsiipidel, et alaldit saaks juhtida pingega, mis kajastuks otseselt ka väljundil. Sellest tuleneb tüüritava sünkroonse alaldi nimetus. Et tarbijani jõuaks nõutav pinge, peab skeem sisaldama mitmeid reaalselise monitooringu etappe. Vahetu alaldi sisendite, väljundite ja alaldi komponentide pingelangu seisundite jälgimine võimaldab väljundpinge tarbitavast voolust näiliselt sõltumatuks muuta. Samuti on võimalik piirata tüüritava sünkroonse alaldi vooluimpulsse kasutades ära selle tüüritavust. Vooluimpulsside jäiga piiramisega avaneb võimalus valida skeemi jaoks optimaalsemaid komponente ning see kehtib ka vastupidiselt. Säärane tüüritavus võimaldaks seadme väljundile juurde lisatavale lineaarsele pingeregulaatorile jätta minimaalse pingelangu tingides nii seadme üldise hajuvvõimsuse vähenemist.

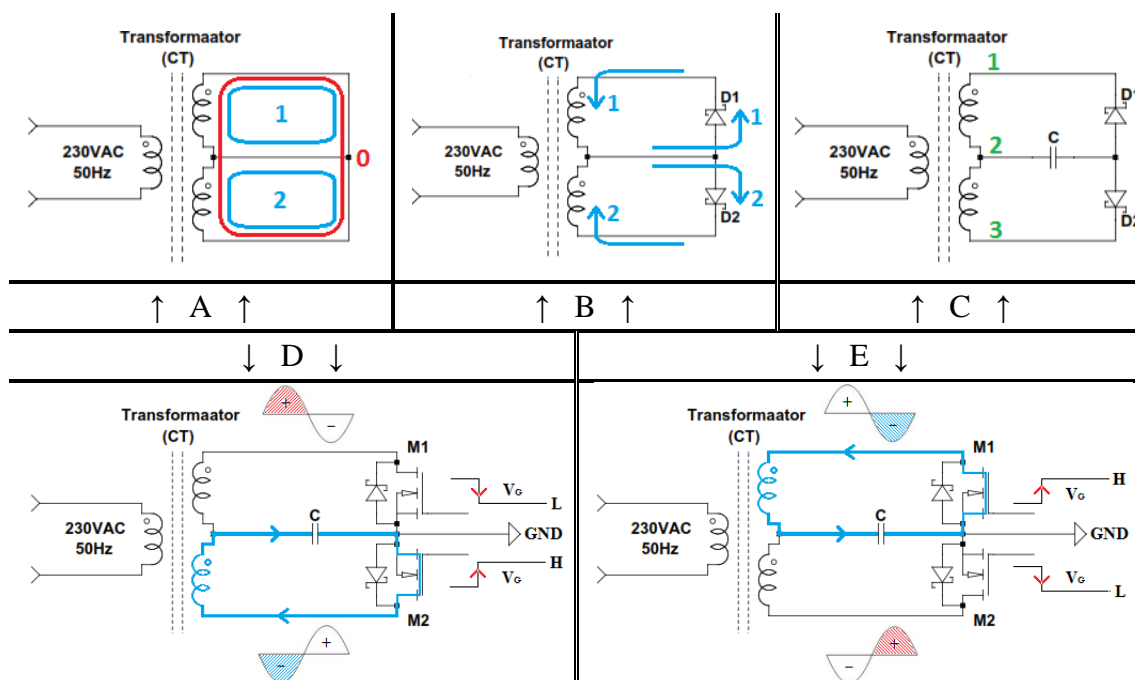
Käsitletav seade on edasiarendus sünkroonsest alaldist keskväljavõttega transformaatori järel. [1]

2 Süsteemi osade uurimine

Kirjeldatava tervikliku süsteemi paremaks mõistmiseks tuleks esmalt teadvustada süsteemi põhi alustena võetud punkte, et nendega kaasnevaid ohte ja limitatsioone ennetada, mis saavad ilmsiks tulla ainult lähemal vaatlemisel.

2.1 Sünkroonne alaldi

Käsitletud töös kirjeldatav seade nõuab, et transformaatori sekundaarmähis omaks keskharundit (*Center Tap - CT*), et luua kaks võrdset vooluringi (vt. Joonis 2.1A – 1; 2). Lühiselise vooluringi (vt. Joonis 2.1A - 0) elimineerimiseks on mõlemale soositud vooluringile lisatud alaldav komponent (vt. Joonis 2.1B – D1; D2), mille juures on oluline, et lisatud komponentide voolu blokeerimise suunad oleksid vastupidiselt. Jooniselt 2.1B on võimalik näha vooluringe, mille puhul tasub ära märkida, et need tegelikkuses samal sisendi faasil ei rakendu. Seadme väljundi pulsatsioonide kahandamiseks, on vajalik filtreeriva komponendi olemasolu (vt. Joonis 2.1C - C).



Joonis 2.1 – A) Kaks potentsiaalset vooluringi ja lühis; B) Alaldatud vooluringid; C) Filtreeritud vooluring; D) Sünkroonse alaldi alumine vooluahel; E) Sünkroonse alaldi ülemine vooluahel;

Sünkroonses alaldis on diodid asendatud lülitatavate elementidega. Antud ülesande jaoks on valitud nendeks MOSFET-id (vt. Joonis 2.1D ja 2.2E – M1; M2). Tänu MOSFET-i kehadiodidele, diodid kui elemendid skeemis siiski säiluvad, kuid nende põhieesmärk ei ole enam voolu alaldamine. Sünkroonse alaldi printsiip on avada MOSFET-i üliväikese sisetakistusega ($R_{DS(on)}$) kanal samal ajal või varemgi, kui selle kehadiod satuks piisava päripingestuse alla ning avaneks. Sünkroonseid alaldeid kasutatakse üldjuhul impulss toiteplokkides *buck-boost* muunduritena, kus MOSFET-ide eesmärkideks on alalisvoolulise sisendsignaali tükeldamine kõrgsageduslikuks nelinurk-signaaliks, asendada sellele järgnevat hooratta (*flywheel*) printsiipset diodi ja viimaks kontrollida induktorile salvestatud laengut. Põhi probleemideks impulss toiteplokkidel on kõrgsageduslik müra väljundis, mis samuti ka süsteemis endas kajab. Pidev kõrgsageduslik elektromagnetiline müra (*electromagnetic interference* – EMI) on ohuks ümbritsevale elektroonikale. Kõrgsageduslik müra pärineb MOSFET-ide kõrgsageduslikust lülitamisest. Mida suurem on nende töösagedus, seda suuremad on MOSFET-ide lülituskaod.

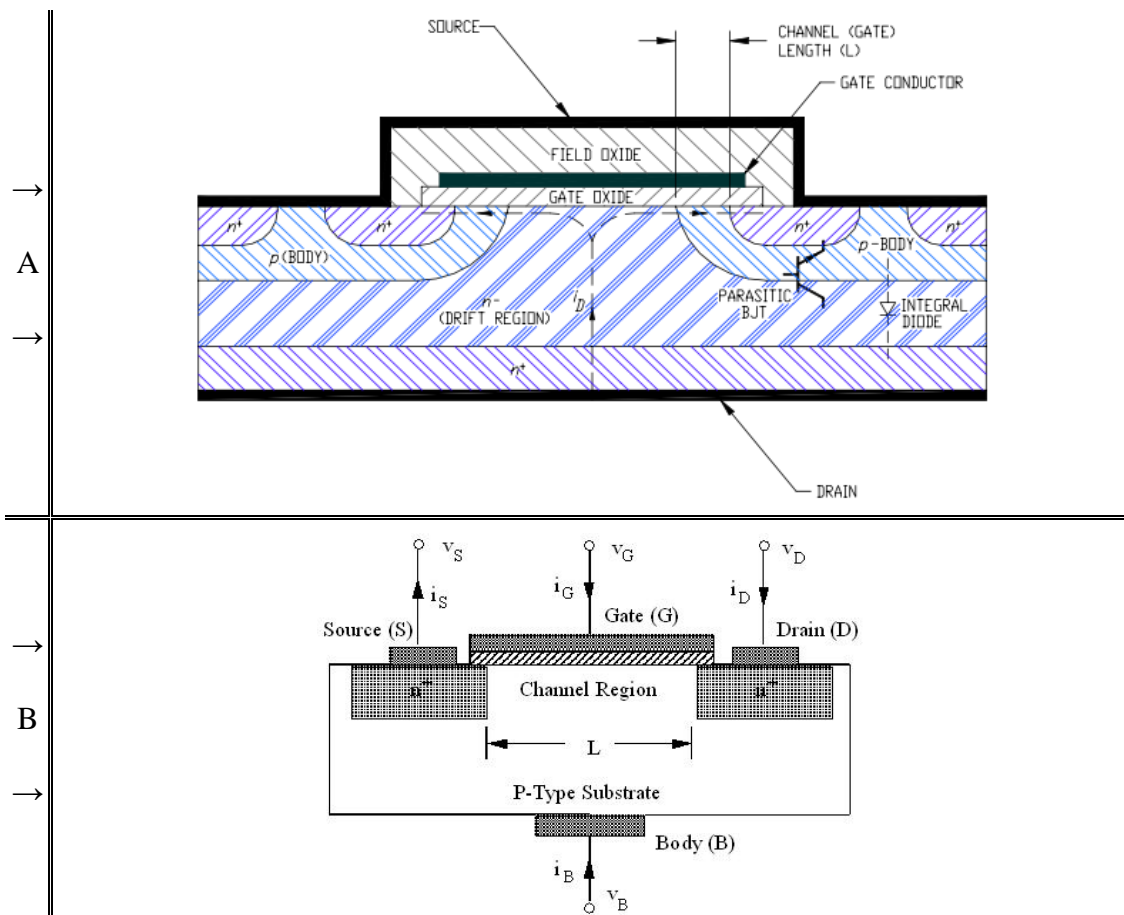
Vaadates Joonist 2.1D võib näha, et MOSFET tähistusega M2 avab oma kanali ja sellega loob ka vooluahela hetkel, kui MOSFET-iga seotud otsmine trafo harund muutub negatiivseks. Vaadates Joonist 2.1E võib näha analoogseid sündmusi, kus MOSFET tähistusega M1 avaneb hetkel, mil sellega ühendatud otsmine trafo harund negatiivseks muutub. Selliselt töötades šunteerib MOSFET-i kanal kehadiodi ja tulemuseks on uus takistuslik pingelang, mis sõltub valemist:

$$V_{DS} = R_{DS(on)} \cdot I_D \quad (2.1)$$

Kasutades lülitatavat elementi, on selle juhtimiseks vaja juhtskeemi. Üksiku MOSFET-i juhtimpulsid on sõltuvuses selle ühesuunalise voolublokeerimise eripärast. Kui MOSFET on avatud olekus, juhib see voolu mõlemas suunas ning nagu eelnevalt vihjatud sai, saab seda soovi korral piirata vaid ühes suunas. See on oluline aspekt, mis sünkroonse alaldi kujundust ja väljundit dikteerib. Joonistelt 2.1D ja 2.1E nähtav sünkroonne alaldi võimaldab süsteemil alaldamist jätkata ka juhtudel, kus juhtskeem mingil põhjusel ühendatud ei ole, sest siis juhivad kehadiod.[1] MOSFET-id omavad veel mitmeid teisigi eriomadusi, millega juhtskeem kujundamisel arvestama peaks. Selleks oleks mõistlik esmalt MOSFET-idest paremini aru saada.

2.2 MOSFET-i kasutus

MOSFET-i struktuuri tehnoloogiaid valitakse vastavalt kasutusvaldkonnale, mis jagunevad põhiliselt jõuelektronika ja integraallülituste (IC) vahel. Suurem osa jõu MOSFET-e on vertikaalse struktuuriga.[2] Planaarset struktuuri kasutatakse rohkem IC-s. Vertikaalne struktuur kujuneb väljaviikude rakendusspetsiifilisest optimeerimisest. Optimeerimise tulemusena on väljaviigud tõhusamad juhtimaks suuremaid voolusid suuremate tööpingete juures.[2] Järgmine joonis tutvustab n-kanaliga MOSFET-i vertikaalse [3] ja planaarse [4] struktuuri läbilõikeid:



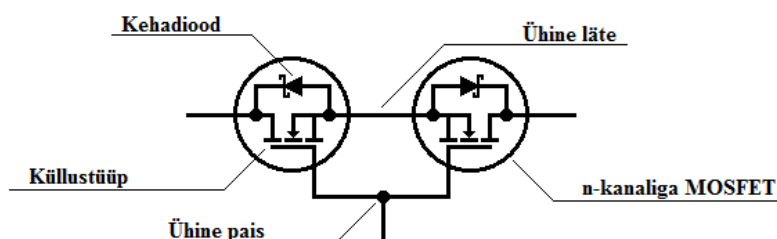
Joonis 2.2 – A) n-kanaliga küllustüüpi MOSFET-i vertikaalse struktuuri läbilõige [3]; B) n-kanaliga küllustüüpi MOSFET-i planaarse struktuuri läbilõige [4]

Jooniselt 2.2 võib näha, et jõu MOSFET-i vertikaalne struktuur võimaldab planaarsest struktuurist suhteliselt õhemat p-tüüpi substraati neelu (D) ja lätte (S) vahel. Lühem kanal omab väiksemat takistust, mis võimaldab efektiivsemalt juhtida suuremaid voolusi. N- epitaksiaalkiht (vt. Joonis 2.2A – *Drift region*), mis ainult vertikaalses struktuuris ilmneb, võimaldab neelu ja lätte substraatide vahemaad suurendades tõsta

maksimaalset neelu-lätte läbilöögi pinget ($V_{(BR)DSS}$). Samuti võib näha, et vertikaalse struktuuri puhul on MOSFET-i väljaviikude rollid märksa jäigemad kuna MOSFET-i läte ja neel ei ole enam paisu suhtes sümmeetriliselt.

Olenemata struktuuri tüübist, püsib MOSFET-i ehituses parasiitne bipolaartransistor (BJT).[3][6] N-kanaliga MOSFET-i puhul on selleks NPN tüüpi BJT (vt. Joonis 2.2A – *Parasitic BJT*). Vältimaks selle rakendumist, luuakse ühendus keha (B) ja läte väljaviigu (BJT baasi ja emitteri) vahel. Loodud lühise tõttu jääb läte ja neelu väljaviigu vahele pn-siire, mis jääb täitma kehadiodi funktsiooni. Kehadiodi omadused on tavalisest diodist märksa kehvemad, mistõttu paljudes süsteemides ühendatakse efektiivsem möödapääsu diod nendega paralleeli. Antud ülesande puhul on ebaefektiivne kehadiod tegelikult eeliseks. Suurte neeluvoolu impulsside ($I_{D(p)}$) ilmnmisel võib kanalile langeda möödapääsu- või isegi kehadiodi lävipingest suurem pingelang, mis diodi juhtivasse režiimi lülitab. Kuna kehadiodi lävipinge (V_{SD}) on möödapääsu diodidest üldjuhul suurem, võimaldab see kanalit juhtida suuremaid vooluimpulsse enne selle rakendumist. Kummagi diodi puhul ei ole rakendumine eelistatud, sest nendega kaasneb MOSFET-i kanaliga võrreldes märksa aeglasem taastumise periood, mis on üks tüüpilisem põhjus lühiseliste impulsside olemasolul.

MOSFET-i ehituses tekitatud eripära on põhjuseks, miks MOSFET suudab blokeerida voolu vaid ühes suunas. Käsitatud ülesande tingimuste piires on selle limitatsiooni ületamine kriitilise tähtsusega, sest sünkroonse alaldi väljundit oleks vaja ka tüürida. Üksik MOSFET alaldi tüüritavust ei võimalda, sest kanali suletud olekus jätkab voolu juhtimist kehadiod. Probleemi lahenduseks sobib hästi meetod, milles kaks MOSFET-i on ühendatud jadamisi, omades ühist lätet või neelu. Selline ühendus jätkaks kehadiodide siirete suunad üksteise suhtes vastupidi, võimaldades seeläbi voolu mõlemas suunas blokeerida ja ka juhtida. Seda meetodit nimetatakse *back-to-back* konfiguratsiooniks ning järgmisel joonisel see ka kajastub:

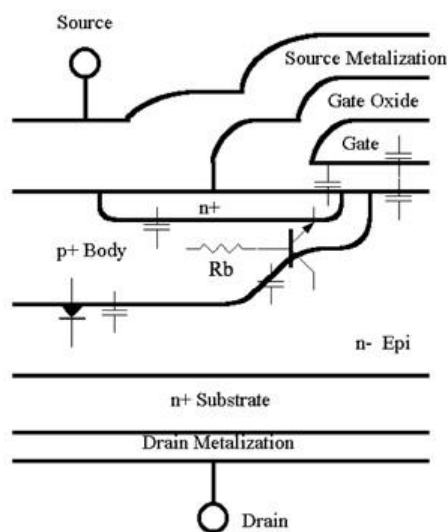


Joonis 2.3 – *Back-to-back* MOSFET lüliti konfiguratsioon

Antud ülesande üheks eelduseks on just vahelduvvoolu alaldamine, mistõttu võib ka järeldada, et alaldi sisend- ja väljundpinged muutuvad enamuse tööperioodist erinevalt. Kuna MOSFET-i juhtimpulss on neelupingest sõltumatu, tuleks seepärast eelistada ühist lätet (vt. Joonis 2.3 – Ühine läte), et *back-to-back* konfiguratsiooni mõlemat MOSFET-i saaks juhtida sama juhtimpulsiga üheaegselt ühise paisuga (vt. Joonis 2.3 – Ühine pais). Selline lahendus muudab MOSFET-ide juhtimise oluliselt lihtsamaks, sest kui kasutada ühist neelu, oleks ühine pais välistatud. Ühise neelu puhul kahekordistuks monitooring, sest jälgima peaks kummagi MOSFET-i lätet eraldi ning on oht, et süsteem lihtsalt ebaõnnestuks puuduliku negatiivse toitepinge tõttu.

Kahesuunalise MOSFET-lüliti talitus sarnaneb põhimõttelt sümistorile (TRIAC), kuid omab eeliseid peaaegu igas antud ülesande jaoks olulises aspektis. MOSFET-e saab juhtida pingega, mis soodustab eeskätt väiksemaid lülituskadusid ning võimaldab lihtsama juhtskeemi kasutust. MOSFET-id suudavad töötada efektiivselt palju suurematel töösagedustel omades järkudes lühemaid esi- ja tagufronte. Juhul kui tarbija ei ole suurte induktiivsete omadustega, on TRIAC-i frontide kestused mikrosekundi skaalas, vastasel juhul võivad kestused venida millisekunditesse. MOSFET-il seevastu püsivad frontide kestused nanosekundite piires ning seda suure osas tarbija omadustest sõltumatult väga kõrge sisendimpedantsi tõttu. TRIAC-i tüüpilise päripingelangu alampiir juhtivas režiimis jääb keskmiselt 1,2V lähedale. MOSFET-i puhul sõltub pingelang, aga otseselt sisetakistuse suurusest ning just tänu üliväiksele sisetakistusele osutub selle pingelang üldjuhul samuti järkudes väiksemaks.

Vaatamata kõigile eelistele, on MOSFET-idel ja *back-to-back* konfiguratsioonil omad puudused. Üheks suurimaks puuduste allikaks on MOSFET-i paisu (G) väljaviik ja sellega kaasnevad parasiitomadused. Paremalt esitatud joonis toob välja vertikaalse struktuuriga MOSFET-i põhilisemad parasiitsed komponendid [5]:



Joonis 2.4 – MOSFET-i parasiitsed komponendid [5]

Paisu ja keha vahel on dielektriku kiht (vt. Joonis 2.4 – *Gate Oxide*), mis kanali ning teised MOSFET-i väljaviigud paisust elektriliselt isoleerib. See on ka põhjuseks, miks MOSFET väga suurt sisendimpedantsi omab.[7] Säärane ehitusviis on MOSFET-ile lisanud pingestusest sõltuva kondensaatori, mis tähendab, et paisu mahtuvuslikkuse tõttu ei piisa inversioonkanali tekitamiseks kehas ainuüksi paisu-lätte pinge (V_{GS}) rakendamisest. Kanali täielikuks avanemiseks, peab parasiitmahtuvuslik pais talletama määratud kogus energiat, et keha kanali piirkonda koguneks piisavalt vähemuslaengukandjaid. Kui paisu-lätte vaheline parasiitkondensaator on pingestatud paisu-lätte lävepingega ($V_{GS(th)}$), peab MOSFET-i juhtskeem tagama paisule ka voolu, mis tingiks juhtskeemis *Gate driver*'ite kasutuse. Kui pais on saavutanud laengu paisu-lätte lävepingel ($Q_{g(th)}$), on inversioonkanal kanali ulatuses avatud. Aeg mis kulub $Q_{g(th)}$ saavutamiseks on aeg, mille MOSFET veedab lineaarses töörežiimis, mis on tundliku MOSFET-i puhul ohtlik ja panustab ka üldisele ebaefektiivsusele. Lineaarse töörežiimi kestust leevendatakse inversioonkanali indutseerimisel ettenähtust kõrgema pingega, et saavutada $Q_{g(th)}$ kiiremini, vähendamaks lülituse esifrondi kestust.[8] Analooogne printsiip kehtib ka kanali sulgemisel, millega lülituse tagufroni lühendatakse. Kuna tegu on pingestusest sõltuva parasiitkondensaatoriga, siis kõrgema V_{GS} -i rakendamisel laetakse sellele rohkem energiat, mis taaskord lülituskadusi vähesel määral suurendab. Samas tõmbab suurem laeng paisul kanali piirkonda rohkem vähemuslaengukandjaid, mis vähendab kanali sisetakistust ning sealjuures viimase ebaefektiivsuse enda varju jätab.

Mooduli efektiivsust on võimalik tõsta ka MOSFET mooduli järjestiktakistuse ja sisetakistuse vähendamisest. Erinevatel MOSFET-i substraatidel on erinevad takistused, mis jadamisi $R_{DS(on)}$ väärtuseks summeeruvad, mis on kirjeldatav järgneva valemiga.[9]

$$R_{DS(on)} = R_{ch} + R_{epi} + R_{sub} \quad (2.2)$$

Kuna neelu-lätte läbilöögipinge on kõige enam sõltuvuses epitaksiaalkihi (vt. Joonis 2.4 – n- Epi) paksusest, siis on mõistlik valida kasutatavaks MOSFET, mille nominaalpinge jääb üsna lähedal tööpingele, et sisetakistusest tekkivaid kadusid veelgi vähendada.

MOSFET-i sisetakistus käitub jadaühenduses suuresosas passiivse komponendi reeglite järgi.

$$R_{DD} = R_{eq} = R_1 + R_2 + \dots + R_n \quad (2.3)$$

Sellega arvestades, kahe identse MOSFET-iga kahesuunalise lüliti kogutakistus (R_{DD}) kahekordistub ning sellega üheselt kasvab ka lülitile jääv pingelang. Lisaks kahekordistub ka kanalite avamiseks kuluv energia ($Q_{g(total)}$). Eelmainitud koefitsent mõjutab lüliti efektiivsust pöördvõrdeliselt, mis püstitab *back-to-back* konfiguratsiooni kasutusele olulise tagasilöögi. Osaliselt leiab sellele lahenduse MOSFET-i pingega juhitavuse omadusest, mis tähendab, et neid on lihtne ka paralleelselt juhtida, kuna kõik paisud on kanalist elektriliselt isoleeritud. Rööbiti ühendatud MOSFET-id jaotavad läbitavat voolu nagu tavalised takistid. Eeldusel, et *back-to-back* ühenduses kasutatavad MOSFET-id on kõik samaväärsed, muutub R_{DD} vastavalt ka sellele valemile:

$$\frac{1}{R_{DD}} = \frac{1}{R_{eq}} = \frac{1}{R_1} + \frac{1}{R_2} + \dots + \frac{1}{R_n} \quad (2.4)$$

Arvestamata hinda ja lüliti kogu jalajälje suurust, võiks teoreetiliselt MOSFET-e paralleeli ühendada lõpmatuseni ($n = \infty$), mille tulemusena kahaneksid mooduli $R_{DS(total)}$ ja igat paralleeli ühendatud MOSFET-i läbiv neeluvool (I_D) nulli lähedale. Väga väikese I_D puhul, peaks kanal avanema vaid minimaalse laiusega, kuid piisavalt pikalt, et ulatuda lätest neeluni. Jõu MOSFET-idel on läte ja neelu vahemaad üsna suured ning kanalisse inverseeritud vähemuslaengukandjate ühtlus dielektriku pinnal sõltub MOSFET-i struktuurist. Nendele omadustele baseerudes on paratamatu, et kanali avamiseks on kindlasti vaja paisule juhtida määratud kogus energiat. Sellise määra olemasolul on mooduli ühise paisu laeng I_D -st mittetäielikult sõltuv, millest ilmneb MOSFET-ide rööpühenduse esimene negatiivne muutuja. Kuna pais on põhimõtteliselt elementaarne kondensaator, muutuvad selle omadused paralleelühenduses samade reeglitega:

$$Q_{g(total)} = Q_{eq} = Q_1 + Q_2 + \dots + Q_n \quad (2.5)$$

Valemist (1.4) järelduks, et lülituskaod läheneksid tingimusel ($n = \infty$) samuti lõpmatuseni, mis täielikult annulleriks paralleelimisest oodatava kasu.

Reaalsuses on käsitletud muutujatel hoopis teised osakaalud, mis sõltuvad suuresti töösagedusest. Madalatel lülitussagedustel on rööpühendused igati õigustatud, kuna

paisu ümberlaadimistest tingitud kadude osakaal voluimpulsi alaliskomponendi kadudest on äärmiselt väike. Madalate töösageduste puhul piirab rööpühenduste arvu mooduli eelarve. MOSFET-i hind asendab üldjoontes paralleelühenduse optimeerimise negatiivse muutuja, mille tõttu säilib asjaolu, et paljud kompromissid parameetrite vahel on vältimatud. Seepärast on möödapääsematu kalduda n-kanaliga MOSFET (N-MOS) tehnoloogia poole kuna neid toodetakse rohkem. Suurema tootmise tagajärjel on need odavamad ja suurema varieeruvusega kui p-kanaliga MOSFET (P-MOS), mis otseselt soodustab MOSFET mooduli efektiivsemaks optimeerimist.

2.2.1 Tähelepanekuid optimaalse MOSFET-i valikul

Kuna MOSFET hakkab juhtima suurevoolulisi impulsse on oluline arvestada sellele omistatud ohutu tööalaga (SOA) ning selle maksimaalse võimsustaluvusega, mis temperatuuri tõusuga alanema hakkab (vt. LISA 1 – Linear Derating Factor). Et MOSFET-i hajuvvõimsus oleks võimalikult väike, peaks sisetakistus olema samuti võimalikult väike. Mida väiksem on hajuvvõimsus, seda vähem saab temperatuur MOSFET-i omadusi mõjutada. Kõige olulisem on temperatuuri mõju sisetakistusele, mis võib lubatud temperatuuri vahemikus kahekordistuda (vt. LISA 2 – Fig 4). Hajuvvõimsusest tingitud temperatuuriga ümberkäik on oluline, sest MOSFET-i temperatuur tõuseb tüüpiliselt ligikaudu 40-60 kraadi vatti kohta. (vt. LISA 1 – Junction-to-Ambient). Hea komponendi võimsustaluvus suurendab usaldusväärsust ebaideaalsete tüürimpulssidega töötamisel.

Tüüpilised sünkroonsed alaldid töötavad 50 kHz – 1 MHz sagedusel.[10] Iga lülitusega viibib MOSFET mingi aja lineaarses töörežiimis, mis tähendab, et selle sisetakistus on suurem, mis omakorda tähendab, et hajuvvõimsus on suurem. Kindlasti ei tohiks unustada, et iga kord kui MOSFET avatakse, tarbivad selle parasiitmahtvuslikud elemendid voolu. Mida kõrgem on töösagedus, seda suuremaks summeeruvad lülituskaod. Vaatamata sellele, et antud süsteemi kokkuhoid selles valdkonnas väheste impulssidega töötades ulatub tuhandetesse kordadesse, ei tasuks jääda ükskõikseks MOSFET-i paisu parasiitmahtvuse suhtes. Suurem mahtvus tingib kanali avamiseks suurema viite lineaarses töörežiimis, mis nagu ka eespoolgi mainitud sai, on seadmele ohtlik.

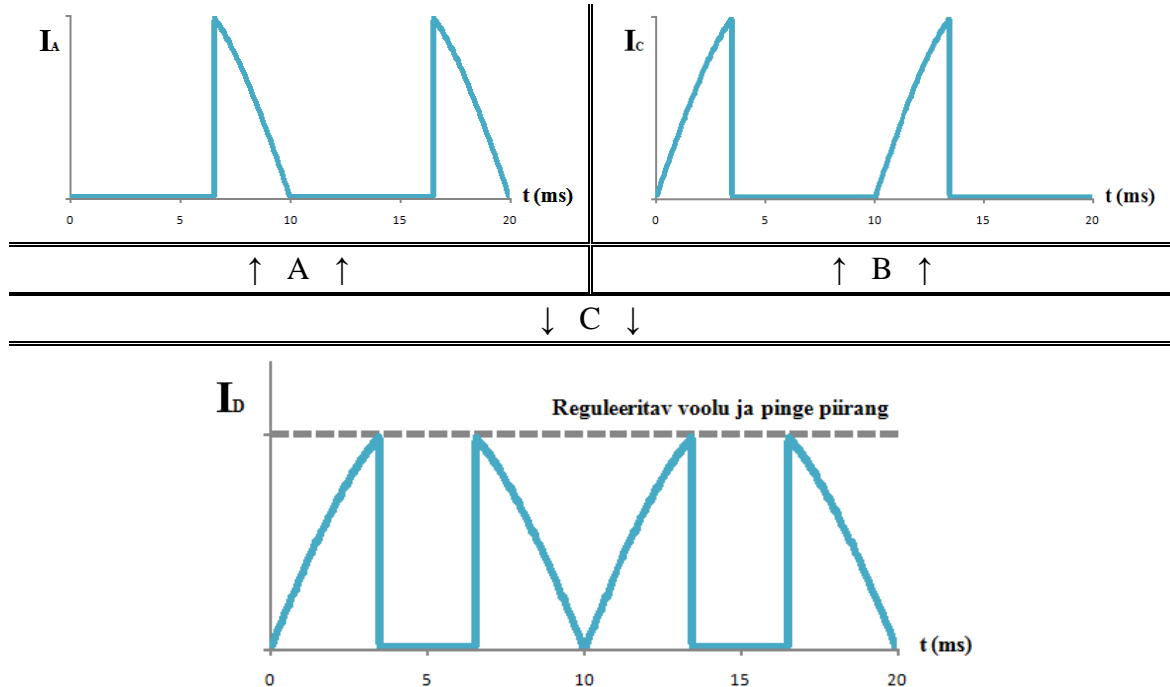
Kuna käsitletav süsteem omab *back-to-back* konfiguratsioonis MOSFET-e ühise lättega, siis kummalgi neelul tekkiv negatiivne pinge kandub tänu kehadiodile ka ühisele lättele kehadiodi päripingelangu võrra suuremana. Panustamaks sellele, et MOSFET väljalülitusel parasiitmahtuvuste tõttu tekkiva alareguleerimise järel uuesti avaneda ei püüaks, oleks suure lävipingega kehadiod ning madalad sisend ja väljund parasiitmahtuvused abiks. Samuti võib soovi korral *back-to-back* MOSFET-idega RCD-supressor (*snubber*) paralleeli ühendada, mis ala- ja ülereguleerimisi leevendaks.

2.3 Tüüritav alaldi

Tüüritava alaldi põhimõte seisneb selles, et piirata valitud polaarsusega siinuse poolkaare osalist alaldamist vastavalt soovile. Üldlevinult kasutatakse tüüritavat alaldit valgustite ereduse reguleerimiseks, nt. teatri laelambid hämarduvad või muutuvad eredamaks sujuva üleminekuga ühest olekust teise, mille eesmärgiks on teatri publiku silmade ärrituse vähendamine. Mujal kasutatakse tüüritavaid alaldeid veel mootorite pöördemomendi sujuvaks juhtimiseks ning pingemuundamiseks muundurites. Harilikult kasutatakse tüüritatavates alaldites isoleeritud paisuga bipolaartransistore (IGBT), sümistore või türistore ning selle edasiarendatud versioone nagu paisu kaudu suletav türistor (GTO) ja isoleeritud paisuga suletav türistor (IGCT). Nii IGBT-de kui ka türistorite perekond madala pinge tüürimiseks nii mõistlik ei ole, kuna nende suure pingelangu tõttu eraldub liialt suur osa süsteemi efektiivusest soojusena.

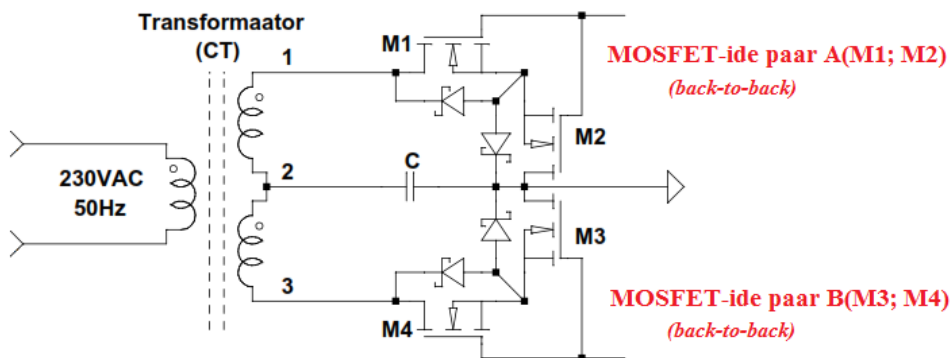
Üldpuhkudel kasutatakse tüüritavas alaldis siinuse poolkaarest türistorite puhul ainult siinuse tagumist külge (vt. Joonis 2.5A) või IGBT-de puhul siinuspoolkaare eesmist külge (vt. Joonis 2.5B), mille tõttu säilib töösagedus ehk üks impulss poolkaare kohta. Antud ülesandes on peetud oluliseks, et väljundil saaks tüürida pinget selliselt, et vooluimpulsid oleksid piiratud (vt. Joonis 2.5C – Reguleeritav voolu ja pinge piirang). See võimaldaks silufiltri kondensaatoreid maksimaalselt ära kasutada ilma, et kondensaatoreid ohustaks ülekuumenemine. Ühe impulsi tüürimine ei ole efektiivne, sest läbi alaldi juhitud lülituste piiramisega on üksik impulss silufiltri kondensaatorite täitmisel ajaliselt limiteeriv. Samuti suurendaks see pulsatsioonipinget, sest ühe limiteeritud impulsi puhul, ei saa silufiltri kondensaator enam piisavalt energiat. Esitatud probleemide lahenduseks sobiks kasutada siinuse poolkaare

mõlemaid, nii eesmist kui ka tagumist külge (vt. Joonis 2.5C). Sellise meetodiga on süsteem voolu piiranguga kaks korda efektiivsem. Kahe impulsi kiireneks ka silufiltri kondensaatorite täitumine. Antud ülesandes kasutatud meetodid peaksid õigustama tüüritava sünkroonse alaldi kasutust reguleeritava toiteplokinä.



Joonis 2.5 – A) Tüüritava alaldi vooluimpulss siinuse tagaküljel; B) Tüüritava alaldi vooluimpulss siinuse esiküljel; C) Tüüritava sünkroonse alaldi vooluimpulssid mõlemal siinuse küljel;

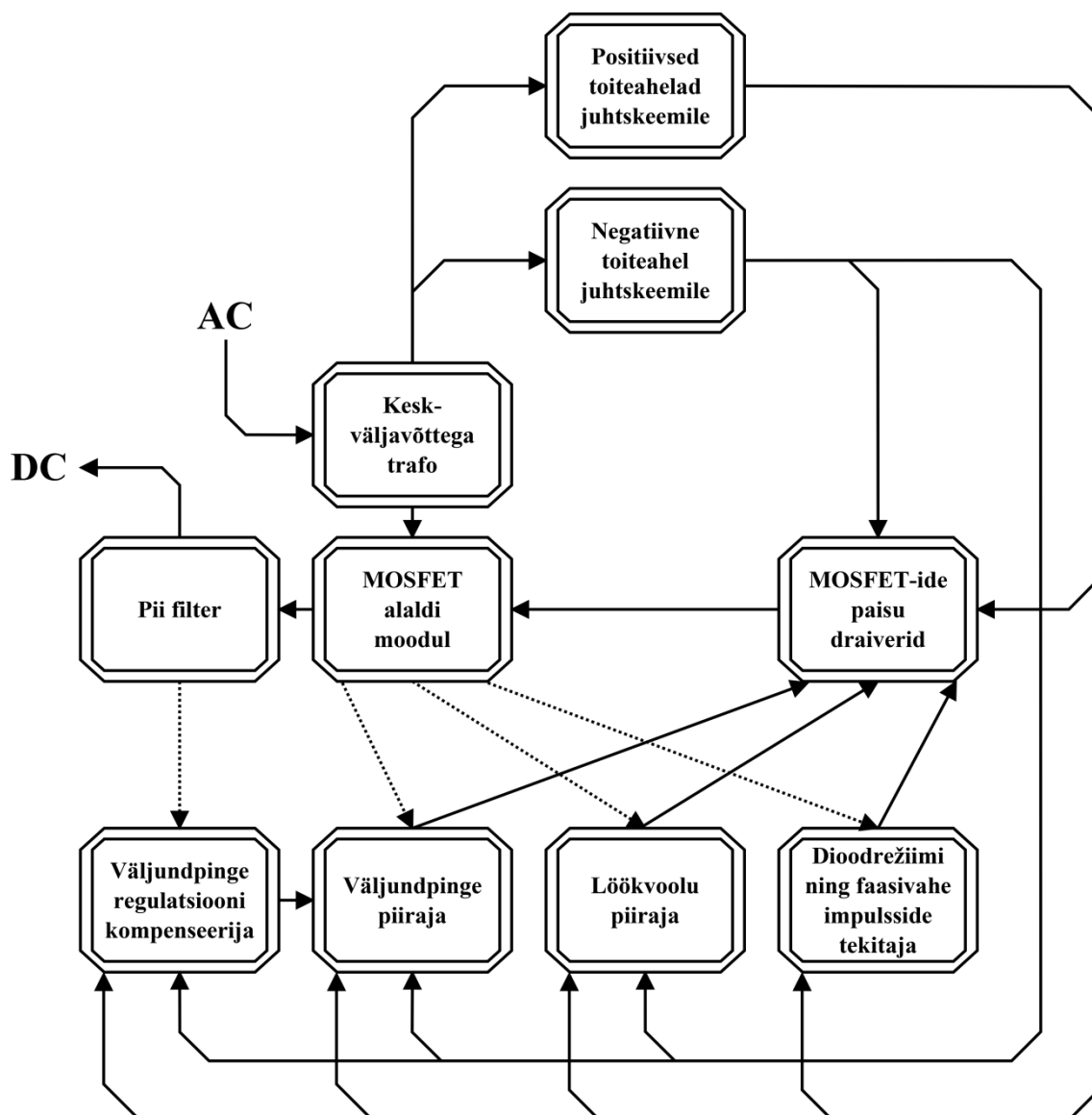
Edasises töös ilmneb kahte tüüritava alaldi tööd kirjeldavat režiimi. Diiodi režiimis käitub tüüritav alaldi nagu diiod, mis tähendab, et alaldatakse üks terviklik impulss ning saavutatakse maksimaalne väljundpinge väga väikese alaldi pingelanguga. Tüüritavas režiimis töötamine tähendab, et väljundpinge on allpool maksimumi, ning MOSFET-id avanevad poolperioodil kaks korda nagu ka Joonis 2.5C seda kujutab. Alaldipoolne osa, mis kirjeldatud funktsioone võimaldaks on kujutatud järgneval pildil:



Joonis 2.6 – Tüüritav sünkroonse alaldi kasutades *back-to-back* konfiguratsioonis MOSFET-lüliteid

3 Süsteemi struktuurskeem

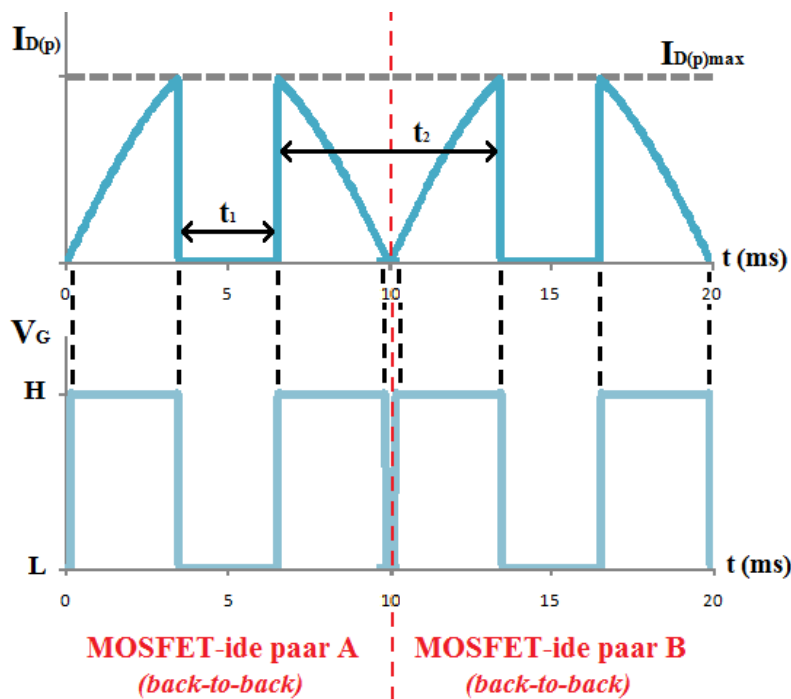
Järgmine joonis kujutab süsteemi terviklikku struktuurskeemi, milles on näidatud algelisemad ühendused süsteemisise moudulite vahel. Kokku on erinevate põhi-funktsioonidega mouduleid kümme. Punktirjoonega nooled kajastavad monitooringu-laadset sidet.



Joonis 3.1 – Tüüritava sünkroonse alaldi struktuurskeem

3.1 MOSFET alaldi moodul

MOSFET-i sisend ja väljund parasiitmahtuvuste kaasabil tekib neeludele ilmnev negatiivne pinge ka ühisele lättele kuna kehadiodid saab päripingestuda. Seepärast peab MOSFET-i paisu draiver tagama paisule ka negatiivse pinge, kui seda oleks tarvis välja lülitada ning kindlalt suletult hoida. Selle võimaldamiseks on vaja negatiivset toiteahelat. Kuna kehadiodid on vastakuti, siis juhul kui neelul olnud negatiivse pinge asemel ilmub taas positiivne, ei kao ühiselt lättelt negatiivne pinge. See säilib seal seni kuni MOSFET-id taas avanevad, mis põhimõttelt pikendab MOSFET-i sisend parasiitkondensaatori täitmist. Üks lahendus oleks ühise lätte sidumine maapunktiga, et tõsta ühine läte seda kaudu nullini, kuid samuti võib ühendus olla ka mingi positiivse allikaga, et protsess oleks kiirem. Kindlasti peab olema loodud ühendusel suur takisti, sest kui loodud ühendus oleks maaga ja ühendusel takistus puuduks, siis oleks lihtsalt efektiivselt üks MOSFET *back-to-back* ühendusest välja šunteeritud. Kui takistus puuduks ja oleks ühendus loodud positiivse allikaga, siis tänu MOSFET-i kehadiodidele oleks allikas ühenduses maaga, mis oleks praktiliselt lühis. Et veelgi vähendada võimalust, et MOSFET-ide ühisel paisul olev potentsiaal langeks alla paisu potentsiaalile, kui see pole tahetud, tuleb kasuks valida MOSFET-id mille kehadiodi lävipinge on suur.



Joonis 3.2 – Tüüritava sünkroonse alaldi väljundvool ning MOSFET-ide paisude pinged

Tüüritava sünkroonse alaldi printsiip seisneb selles, et madalama väljundpinge saavutamiseks kasutab süsteem alaldamisel kahte impulssi ühe siinuse poolperioodi kummaltki küljelt. Selleks, et väljundpinge käituks vastavalt soovile, on impulsid piiratud nii voolu kui ka pingega, mistõttu jõuab väljundisse madalam võimsus. Kuna alaldi sisendsignaali on siinuseline, siis erinevate pingete juures ära lõigatud impulsside asukohad ajateljel on erinevad. Seega tekib olukord, kus väljundis on kaks eri sagedust. Esimene sagedus ilmneb ajavahemikust sama siinuspoolkaare impulsside vahel (vt. Joonis 3.2 – Δt_1) ning teine sagedus ajavahemikust ühe siinuspoolkaare tagumise külje impulsi ning järgmise eesmise külje impulsi vahel (vt. Joonis 3.2 – Δt_2). Kuna käsitletud seade ei ole suunatud ühegi spetsiifilise seadme opereerimiseks, siis võib eeldada, et antud seadet kasutatakse võrdselt nii alumiste kui ka ülemiste väljundpingete juures. Seepärast on leitud optimaalne väljundsagedus, mil mõlemad ajavahemikud impulsside vahel on võrdsed ($\Delta t_1 = \Delta t_2$). Kuna võrgupinge on Euroopas 50Hz ning mõlema faasi siinuste alaldamisel on alaldi väljundsagedus 100Hz perioodiga 10ms, siis kaks võrdväärsete vahemikega impulssi 10ms perioodil annab meile optimaalseks tüürimis režiimi väljundsageduseks:

$$f(\text{Hz}) = \frac{1}{T(\text{s})} \quad (3.1)$$

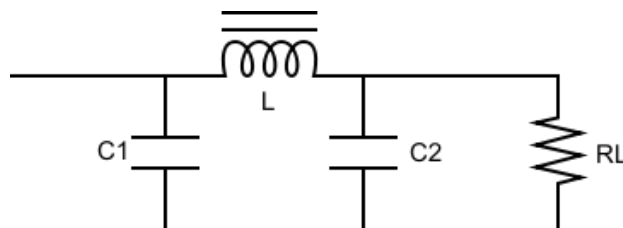
$$\text{kus,} \quad T = \frac{0,01 \text{ s}}{2} = 0,005 \text{ s}$$

$$f = \frac{1}{0,005 \text{ s}} = 200 \text{ Hz}$$

MOSFET-ide puhul kahe erineva sagedusega väljund ei ole hävitavaks, kuid hetkel, mil esimene ajavahemik, mis Joonisel 3.1 on tähistega Δt_1 , muutub äärmiselt lühikeseks, hakkab rolli mängima MOSFET-i kanali avamise kiirus. Nagu eespool ka selgitatud sai, on see sõltuvuses paisu parasiitmahtuvuste täitumise kiirusest. Paisule juhitud energia sõltub omakorda paisu takistist (R_G), mille suurus tuleks määrata paisu draiverite võimekusest sõltuvalt. Samuti tuleks arvestada, et suuremad lülituskiirused tekitavad sügavamaid alareguleerimisi ning kõrgemaid ülereguleerimisi, mis tekitavad suurema amplituudi ning pikemaajalisi hüppekajasid.

3.2 Pii filter

Tüüritava sünkroonse alaldi väljundimpulsid kipuvad olema järsud ja lühiajalised, mistõttu ei jõua silufiltri kondensaator impulsi vältel piisavalt täis laaduda, et filtri väljund jääks tingitud pulsatsioonipinge piiridesse. Seepärast on kasutatud filtri tüüpi, milles peale kondensaatorite on ka induktor ning seeläbi tekitatud madalpääsufilter. Pii filtri struktuur on kujutatud järgneval pildil[11]:



Joonis 3.3 – Pii filtri skeem [11]

Kuna antud seadme väljundina ei ole ette nähtud täielikult silutud väljundit, vaid on lubatud kuni 0,5V pulsatsioonipinget, siis võib kasutada filtri tüüpi, mille impedants on madal. Valides kondensaatorite ja induktori väärtused nii, et filtri lõikesagedus (f_l) oleks ligilähedane optimaalsagedusega (f_o). Seega on kasutatud madalpääsu Π -filtri valemit[12]:

$$f_o = f_l = \frac{1}{\pi \cdot \sqrt{LC}}, \quad (3.2)$$

$$\text{kus} \quad C_1 = C_2 = \frac{C}{2} \quad (3.3)$$

Kondensaatorite valiku puhul tasuks silmas pidada, et siinuskaare alumise osa tõusu ja languse küljed on palju lineaarsemad ja järsemad kui ülemise osa omad. Seetõttu on madalamate väljundpingete saavutamiseks ettenähtud väljundvoolu tagamisel vaja palju suuremaid vooluimpulsse kui kõrgemate väljundpingete puhul, et säilitada madalat pulsatsioonipinget. Seepärast on silufiltri kondensaatorite (vt. Joonis 3.3 – C1; C2) suur mahtuvus äärmiselt oluline ning kõik silufiltri elemendid peavad omama suurt voolu nominaalväärtust. Piisavate tingimuste olemasolul on võimalik kondensaator ära valida ning seepärast saame nüüd valemite (3.7) ning (3.8) tuletada ka induktori väärtuse:

$$L = \frac{1}{\pi^2 \cdot f_o^2 \cdot 2 \cdot C_1} \quad (3.4)$$

3.3 Keskväljavõttega trafo

Antud süsteemi puhul on trafo otsmised harundid (vt. Joonis 2.6 – 1; 3) üksteisega vahetatavad, kuna antud tüüritava sünkroonse alaldi juhtskeem on sümmeetriline ja sisendsiinuse faasist sõltumatu. Keskväljavõttega trafo keskharundi väärtus on alati pool otsmiste harundite potentsiaalide summast, kui mõlemad poolmähised on võrdsed. Keskväljavõttega trafo, millel on sümmeetriline sekundaarmähis ehk kaks võrdset poolmähist, mis on trafo südamikü ümber keritud korraga.[13] Kui süsteem töötab dioodi režiimis, siis võiks oodata keskharundilt täielikult alaldatud positiivset pinget, mistõttu jääks ideaalis trafo otsmistel harunditel negatiivne pinge maapunktist vaid MOSFET-i pingelangu võrra madalamale. Kui süsteem läheb üle tüüritavale režiimile, siis keskharundil pinge langeb ning trafo otsmistel harunditel negatiivne pinge selle arvelt suureneb, sest siinuse tippudel enam väljundi silufiltri jaoks voolu ei tarbita.

Süsteemi tingimusteks on määratud, et oodatav väljundi pinge ($V_{välj.}$) oleks 12V DC, väljundvool ($I_{välj.}$) 10A, suurim pulsatsioonipinge ($V_{puls.}$) 0,5V. Viimane oluline tegur on alaldatud vooluimpulsside suurus, mida antud seade peaks suutma piirata määratud piirvooluni. See tingib vooluimpulsside maksimaalväärtuse ($I_{D(p)max}$), mille juures tuleks arvestada *back-to-back* MOSFET-mooduli neelu-neelu vahelisest sistakistusest (R_{DD}) tekitatud pingelanguga (V_{DDmax}). Pii filtri induktori puhul omab väljundi jaoks tähtsust vaid voolu alalistkomponent, mistõttu sõltub induktorile jääv pingelang ($V_{ind.}$) selle alalistakistusest (*Direct Current Resistance* – DCR). Antud andmete põhjal saame esitada valemid, mille abil leiame vajamineva pinge keskharundil ($V_{keskh.}$):

$$V_{keskh.} = V_{välj.} + V_{puls.} + V_{DDmax} + V_{ind.} , \quad (3.5)$$

$$kus \quad V_{DDmax} = I_{D(p)max} \cdot R_{DD(on)} , \quad (3.6)$$

$$V_{ind.} = I_{välj.} \cdot DCR \quad (3.7)$$

Kuna trafo väljund on täheldatud efektiivväärtusena (*root mean square* – RMS), siis lähtuvalt sellest, et trafo sisend on harilik võrgupinge, saame kasutada just siinusele vastavat valemit trafo poolmähiste efektiivväärtuste leidmiseks:

$$V_{poolm.} = V_{kesk h.} \cdot \sqrt{2} \quad (3.8)$$

Trafo miinimum väljundvõimsuse saame leida kasutades viimast poolmähise tulemust silmas pidades, et sekundaarmähis oleks sümmeetriline:

$$P(VA) = U_2(V_{rms}) \cdot I_2(A), \quad (3.9)$$

$$kus \quad U_2(V_{rms}) = 2 \cdot V_{poolm.} \quad (3.10)$$

Arvestades, et võimsamad transformaatorid valmistatakse jämedamate vasktraatidest, mis omavad väiksemaid takistusi, oleks mõistlik kasutada suurema võimsusega trafot selle hajuvvõimsuse vähendamiseks. Antud ülesande jaoks võiks valida trafo arvutatud miinimum võimsusest umbes 50 vatti võimsama trafoga, sest süsteemis on ka palju väiksemaid tarbijaid, millele tasuks varu jätta. Sellel puhul ei ole ka ohtu, et juhtskeemis tarbitav lisa vool hakkaks ohustama transformaatori eluiga täisvõimsusel töötades.

3.4 Väljundpinge piiraja

Antud süsteemi puhul on väljundpinget võimalik seadistada vastavalt soovile, määrates väljundi piirpinge, kuhu maani tüüritav alaldi sisendsiinust alaldama peaks. Piirpinge (V_{pp}) saamiseks on kasutatud lineaarset pingeregulaatorit LT3080, mille väljundpinget on väga lihtne reguleerida seadistustakistuse (R_s) abil valemiga [14]:

$$V_{pp} = R_s \cdot 10\mu A \quad (3.11)$$

Saadud V_{pp} võidakse otse edasi juhtida komparaatorisse. Kuna V_{pp} on pinge vahemikus, mis on defineeritud väljundi ülempiiriga 12V, siis saab seda komparaatoris võrrelda vaid pingega, mis on samas moods. Et saada sisendsiinuse mõlemalt küljelt impulss, peaks V_{pp} -d komparaatoris võrdlemagi sisendsiinusega. Kuna sisendsiinuste ehk trafo otsmiste harundite omavaheline suhe on alati kaks korda suurem, kui otsmise harundi suhe keskharundiga, siis tasuks enne selle komparaatorisse suunamist see jagada kahega. Selle funktsiooni saab hõlpsalt luua, kasutades harilikku pingejagurit ning selle väljund juhtida pingejärgurisse, mis omab kõrget sisendtakistust, et väljundi väärtus püsiks võimalikult täpne. Komparaatori kaitseks, tasuks elimineerida trafo otsmiste harundite pooldatud pingest negatiivsed komponendid asetamaks sellega ühendusse diodid, mis oleks ühendatud maaga. Kuna trafo otsmiste harundite pooldatud pinget

läheb vaja veel mõnes järgnevalt kirjeldatavas moodulis, on mõistlik komparaatori ja pingejärguri vahelisele ühendusele asetada suureväärtuseline takisti, et diodi mõju järgurini mõju ei avaldaks.

Nüüd kui V_{pp} on suurem, kui pool otsmise trafo pingest, on komparaatori väljund kõrge ning kui V_{pp} on madalam, siis on komparaatori väljund samuti madal. Komparaator on valitud selliselt, et selle mõlemad sisendid on täiesti eraldatud komparaatori toitest (V_+), mistõttu võivad sisendid olla palju suuremad kui V_+ . Komparaatori väljundsignaal on kahe impulsi tüüri tingimus.

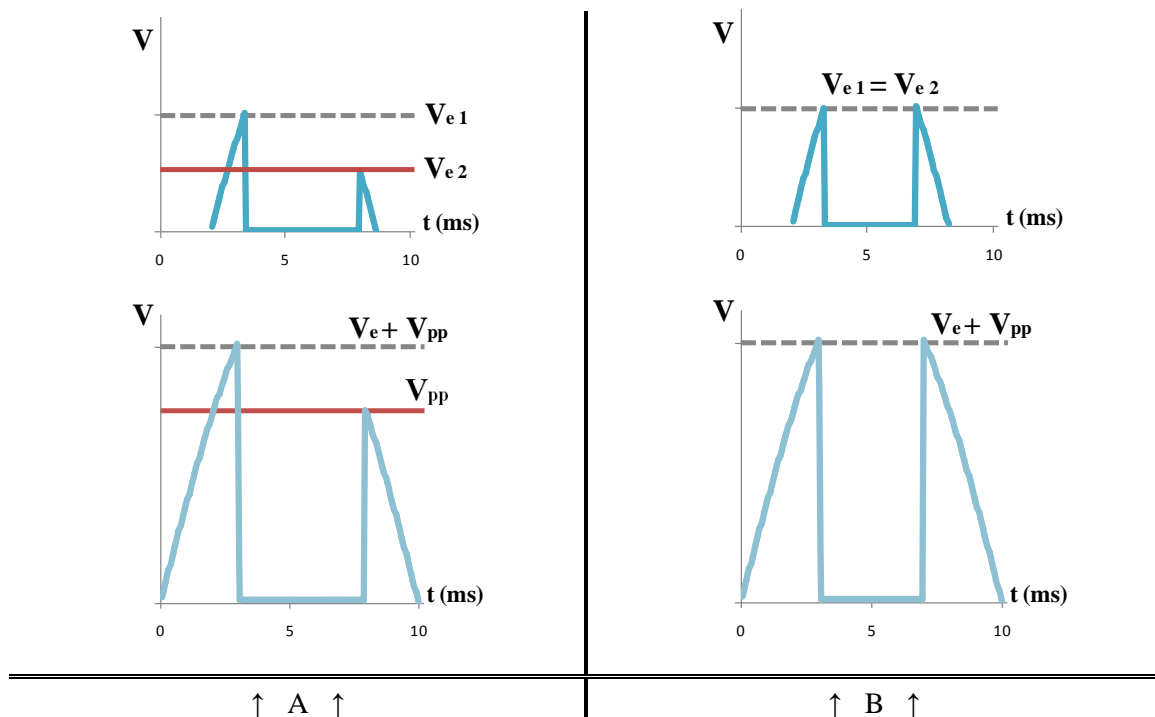
Süsteemi väljundahelas esinevad takistuslikud elemendid omavad neid läbivast voolust sõltuvaid pingelange. Kuna V_{pp} on neist sõltumatu, siis lõplikule väljundile saab ilmuda vaid pinge, mis on kõikide väljundahelaga jadamisi ühendatud elementide pingelangude summa võrra V_{pp} -st madalam. Samuti varieeruvad üksikud pingelangud vooluga mõne elemendi (nt. transformator) juures üsna palju. See viitab sellele, et viimasena kirjeldatud väljundpinge piiraja omab suurt puudujääki, mida ülesande tingimustes lubatud ei olnud. Selle asemel on eeldatud, et pinge, mis komparaatorisse edasi läheb on arvestanud väljundahela järjestiktakistuste pingelangude summat. Kui monitoorida eelnimetatud summa suurust, avaneb võimalus see lihtsalt V_{pp} -le juurde liites väljundile juurde reguleerida. Seepärast sobiks V_{pp} ja komparaatori vahele summaator. Tulemuseks oleks väljund, mis ei oleks enam summeeritud pingelangudest sõltuv, teisisõnu oleks väljundpinge määramisest väljundvoolu mõjuga arvestamine ära jäetud.

3.5 Väljundpinge regulatsiooni kompenseerija

Nagu eelmises moodulis kirjeldatud, peaks väljundpinge regulatsiooni kompenseerija jälgima väljundahela järjestiktakistuste pingelange ning edastama summaatorisse signaali, mis võimaldaks väljundpinge tõstmist V_{pp} -ga määratud kõrguseni. Selle jaoks on süsteemi lisatud antud moodul, mis seisneb ise neljas alamosas. Esiteks oleks vaja jälgida seadme väljundit ning poole väiksemat sisendit, et neid omavahel kõrvutada võimalik oleks. Seeläbi saaks tuvastada nende erinevused (V_e) õigetes suurustes. Selleks, et soovitud impulsid tuletada võetakse ühe otsmise harundi pooldatud väärtuse ja seadme väljundi differentsiaalväärtus ehk nende erinevus. Saadud signaal on vaid pool lahendusest, sest trafo mõlema otsmise harundi siinuspinge negatiivne poolkaar on

tänu alaldusimpulsside deformeerunud. Seepärast peaks vastandama saadud diferentsiaalväärtuse nüüd ka teise otsmise harundi pooldatud väärtusega. Saadud tulemuseks on impulsid, mis on õigetes suurustes ja sõltuvad mõlemast trafo otsmisest harundist. Kuna V_e impulsid tekivad asjaolude tagajärjel ehk alles siis, kui vool on juba liikumises, ei saa need olla samal ajal ka põhjustajad. See tähendab, et kui siinuse esikülje impulss saab alustada juba ainuüksi tänu V_{pp} -le, siis saab tekkida ka eeldatav pingelang, mille tõttu V_e suureneks. Samuti on seda võimalik koheselt ka kompenseerida, sest siinuse esikülje tõus on üsna sujuv juba keskmise kiirusega operatsioonivõimendite jaoks. Nüüd aga, kui kompensatsiooni impulss on lõppenud, tekib olukord, kus siinuse tagaküljelt algab impulss samuti tänu V_{pp} -le, ning sõltumata kui kiiretoimeline oleks kompenseerimise ahel, on kompenseerimiseks juba liiga hilja. Seetõttu jääks ühe siinuse poolkaare impulsid märgatavate erinevustega, mis suuremate voolude juures ületaks tõenäoliselt lähtetingimustes ette antud viite protsenti.

On tulenenud konkreetne vajadus teise alamosa jaoks, mis säilitaks esimese impulsi tipu ning saadaks väljundpinge piiraja summaatorisse signaali, mis oleks ideaalis konstantne ühe siinuse poolkaare vältel. Lahenduseks sobiks siin kasutada signaali tippväärtuse talletamise ehk *peak detector*'i abi.



Joonis 3.4 – A) Ilma peak detector'ita; B) Peak detector'i rakendamisel

Joonisel 3.4A on näidatud antud süsteemi jaoks väljundpinge regulatsiooni kompenseerija väljundsignaali ilma *peak detector*'ita ning vastandatud siinuse esi- ja tagakülgedega. Jooniselt 3.4A ei ole lihtne eristada, kuid väljundpinge regulatsiooni kompenseerija impulsid on siiski viivitusega ning mängivad jätkuvalt tagajärje rollis. Joonisel 3.4B on näha kuidas *peak detector* aitab hoida võrdsemaid tüürimpulsse. Impulsside võrdsus on oluline, sest ainult nii saab tüüritav sünkroone alaldi töötada kõige efektiivsemalt, sest muidu jääks suur osa teise impulsi potentsiaalset lihtsalt kasutamata.

Kolmas alamosa antud moodulis on *peak detector*'i jaoks oluline järgur. Nii *peak detector*'i kui ka sellele järgneva järguri sisendtakistused peavad olema soovitatavalt suuremapoolsed, et talletatud signaal ei hajuks enne selle rakendamist ära.

Neljas alamosa tuleneb eeldusest, et seadme kasutamise ajal võivad tarbija omadused muutuda ning seega ka tarbitava voolu suurus. Kuna tingimus on, et väljund peaks näiliselt tarbitavast voolust sõltumatuks jääma, siis *peak detector*, mis talletab suurima impulsi tippväärtuse, ei reageeri iseeneslikult enam nendele impulssidele, mis on talletatud pingest madalamal. Seepärast on vajalik, et *peak detector*'le talletatud väärtuse kõrvaldamist funktsiooni iga siinuse poolkaare järel. Selleks oleks vaja signaali, mis kinnitaks siinuspoolkaarte lõpud või siinusfaaside vahetust.

3.6 Diiodrežiimi ning faasidevahe impulsside tekitaja

Selleks, et saada diiodilikke tööimpulsse ning võimaldada sünkroonset alaldamist, tuleks jälgida, mis toimub *back-to-back* MOSFET-lüliti sisendil ja väljundil. Kui vaadata Joonist 2.6 on näha, et MOSFET-i paari sisendil on maa ning väljundil on trafo otsmine harund. Et tekiks vooluahelad suundadega, mis on näidatud ka joonistel 2.1D ja 2.1E, oleks vaja tekitada impulsse, mis kirjeldavad just neid hetki, mil trafo otsmiste harundite pinge muutub negatiivseks. Impulsside tekitajateks on valitud komparaatorid. Kuna komparaatorid võrdlevad trafo otsmise harundi väärtust maapunktiga, siis ei tasuks ära unustada, et trafo otsmiste harundite ristumispunktiks ei ole maapunkt vaid trafo keskharund. Kuna keskharundil on silufiltri kondensaatorid, siis nende täitumisel, pinge keskharundil kasvab ühtlustatuna. Seepärast nihkub ka trafo otsmiste harundite ristumispunkt keskharundi pingega koos, millele järgneb eripära, kus trafo otsmised

harundid veedavad maapunkti suhtes üha vähem aega negatiivses osas. Selle tagajärjel hakkavad komparaatorite väljundimpulsid samuti kitsenema. Seda eripära annab ära kasutada, sest hetked, mil trafo otsmiste harundite pinged on korruga positiivsed võib tõlgendada ka kui faaside vahetushetke. Komparaatoritel, mille väljundid on aga kõrged ajahetkedel, kus trafo otsmiste harundite pinge on negatiivne, omavad nüüd ühiseid hetki, mil mõlema väljundid on madalad. Kui kasutada nüüd loogikaelementi NOR, mille väljund on positiivne vaid siis, kui mõlemad sisendid on nullid, siis sealt saamegi faasidevahe impulsid. Nendele impulssidele saab leida rakendust süsteemis kasutatavate *sample and hold*'i ning *peak detector*'i perioodiliste tühjendajatena (*Clear*).

3.7 Löökvoolu piiraja

Löökvoolu piiraja olulisus saab selgeks olukordades, kus väljundpingel on palju ruumi suurenemiseks. Näiteks seadme vooluvõrki ühendamisel on silufiltri kondensaatoril pinge null, kuid ühe MOSFET-i paari tööle lülitamisel, avaneb väljundpingel võimalus suurendada kuni sisendsiinuse tipuni. Mida järsem on kondensaatorile peale antud pinge tõus, seda vähem jõuab kondensaator sellele järgi laaduda ning seda suurem jääb kondensaatori pinge ja kondensaatorile peale antud pinge erinevus. Tekkiv erinevus põhjustab ka kõrge voolu, mis vähendab vähesemal määral kondensaatori eluiga, kuid see on suure tõenäosusega hävitav just MOSFET-ide jaoks.

Et süsteemis säilitada suurt efektiivsuse protsenti, peaks vältima igasuguseid lisa kadusid tekitavaid elemente väljundahelal nagu näiteks voolu piiravaid takisteid. Voolu piiramiseks kasutatakse ära tüüritava sünkroonse alaldi juhtskeemi võimet lihtsasti mõjutada tüüripulsside kestuseid. Põhimõttelt töötab löökvoolu piiraja selliselt, et monitooritakse MOSFET-i paarile jäävat pingelangust poolväärtust ning võrreldakse seda lubatud pingelanguga komparaatoris. Mõlemalt MOSFET-i paari jälgivalt komparaatorilt saadud impulsid näitavad konkreetseid vahemikke, kus tüüripulssid viibida võivad, sealjuures voolupiire ületamata. Lubatud pingelang ehk teisisõnu piirvool (V_{pv}), saadakse teadmaks MOSFET-i sisetakistusi. Tänu MOSFET-i takistuslikule kanalile on võimalik neid kasutada ka voolu mõõtmise takistite asemel. Nagu eelnevalt mainitud sai, siis kasutatakse MOSFET-i paari pingelangust just poolväärtust seepärast, et trafo otsmiste harundite pinged on juba eelnevalt kahekordselt vähendatud. Võib küll

kasutada ka harundite otseseid väärtusi, kuid madalamate signaalide töötlus on operatsioonivõimendite puhul ajalisel kui ka energeetiliselt soodsam.

Eelnevalt kirjeldatud löökvoolu piiraja põhimõttest on põgusalt välja jäätud mitmed olulised vahe tegurid. Üldjoontes koosneb löökvoolu piiraja üheksast etapist:

1. MOSFET-i paari pingelangu poolväärtuse saamine inverteeriva täppisdiodiga
2. Saadud pingelangu poolväärtuse võrdlemine V_{pv} -ga
3. Lubatud tüüripulsside vahemike saamiseks kasutada korrutamise loogikat AND
4. Mitteinveeriva täppisdiodi abil trafo harundite poolväärtuse alaldamine
5. Mõlema trafo harundi poolväärtuse alaldatud signaalide summeerimine
6. Kasutada *sample and hold* meetodit, mille sisendiks on 5., määrajakas 3. ning tühjendajaks eelmises moodulis loodav faasivahe impulss
7. Pingejärgur 6. järele, et salvestatud energia selle kasutamisel ära ei hajuks
8. Komparaator, mis võrdleb väljundeid 5. ja 7.
9. SR trigeri kasutamine 6.-ndas osas tekkivate hilistunud muutuste eiramiseks

Punktid vahemikus 4. kuni 9. on kriitilise tähtsusega, et hoida väljundil kaks impulssi. Võtmaks löökvoolu piiramist lubav impulss otse punktist 3., saab väljundil ilmuda vaid eesmine impulss, sest pingelangu jälgimine on tagajärg, mitte põhjus.

3.8 MOSFET-ide paisu draiverid

Selleks, et MOSFET-i paisule saaks juhitud õiged tüüripulssid kõigist neid tekitavatest moodulitest, tuleks need omavahel korrutada, et nad seeläbi üksteist piiraks ning lubaks vaid kõige piiritlematel impulssidel lõppväljundit juhtida. Otsest korrutamist võimaldab ennekõike AND loogika. Õigete tüüripulsside saamiseks peaks korrutama kokku diodrežiimi impulsid ja väljundpinget ning väljundvoolu piiravad impulsid.

Et tüüripulssid saaks võimalikult efektiivselt rakendatud peaks valitavad draiverid suutma reageerida sisendimpulssidele kiirelt ning omama väikest ajalist erinevust enda sisendi(te) ja väljundi(te) vahel. Kindlasti on kasuks mõne ampri suurune voolu juhtivus võime, mis kasutaks ära MOSFET-ide kiirete lülituste suunitlust ning lühendaks MOSFET-i lineaarse töörežiimi kestust. On oluline ära märkida, et MOSFET-i paisu draiver töötaks võimalikult lähedal toitepingetele, sest antud süsteemis on suurim

negatiivse pingelähte allikas trafo otsmiste harundite negatiivne pingel. Seega tekivad paratamatult olukorrad, kus MOSFET-i paisule avatud negatiivne tüüripulss on väga lähedal negatiivsele pingele ühisel lättel. Nagu ka eespool mainitud sai, saab seda vahet suurendada MOSFET-idega, mille kehadiod on suure lävipingega.

Antud süsteemis pole nähtud vajalikuks MOSFET-i paisu draiverite optronitega eraldatust juhtskeemist, sest kõik toiteahelad on süsteemis ühise maa ja toitega (üks transformator).

3.9 Negatiivne toiteahel juhtskeemile

Kuna negatiivne toiteahel on kriitilise tähtsusega tüüritava sünkroonse alaldi jaoks, nõuab see eraldi moodulina väljatoomist sõltumata selle madalast keerukusastmest.

See moodul leiab kasutust antud süsteemis MOSFET-i paisu draiverite juures, mitmete operatsioonivõimendite (OV) juures, mille väljundsignaalides on oluline osa ka nulli ümber või negatiivsel poolel, ning OV-de juures, mis ei tööta toitepingete lähedal ehk *rail-to-rail*. Kui OV-de väljund, ei oma *rail-to-rail* funktsionaalsust, siis selle väljundil tekkiv tulemus on ebausaldusväärne, kui käsitletakse pingeid, mis on väiksemad, kui OV väljundi ja selle alumise toitepinge vahe.

Negatiivne pingel (V^-), mille antud moodul MOSFET-i paisu draiveritele edastab peaks olema võimalikult lähedal trafo otsmiste harundite alampiirile. Seepärast oleks mõistlik kasutada alaldamisel väikese päripingelanguga Schottkey diode. Tasuks kasutada ka silufiltrit, et negatiivse toiteahela sõltuvust MOSFET-i paisu draiverite tööst vähendada ning OV-dele stabiilsemat ning müravabamat negatiivset pinget anda. Negatiivse toiteallika täielik silumine ei ole kriitilise tähtsusega, mistõttu tuleks vältida lisa elemente, mis võiks tekitada ebavajalikke pingelange (nt. pingeregulaator).

3.10 Positiivsed toiteahelad juhtskeemile

Positiivsete toiteahelate allikaks on harilik diodalaldi ning sarnaselt eelnevale moodulile omab ka siin silufilter olulist eesmärki. Alaldatud ning silutud allikale (V^+) järgnevad kaks LT3080 tüüpi reguleeritavat lineaarset pingeregulaatorit, millest ühe eesmärgiks on V_{pp} ning teise oma VDD tekitamine. VDD väärtuseks on valitud

MOSFET-ide optimaalne positiivne impulsi suurus ehk 10V. Veel oleks vaja V_{pv} -d, kuid VDD-st erinevalt, ei vaja V_{pv} suurt voolujõudlust, mistõttu piisab selle loomiseks pingejagurist VDD järel. Kuna V_{pv} omab vaid võrdluspunkti eesmärki, siis selle vahetult komparaatorisse juhtimisel on tarbijaks komparaatori sisendtakistus, mis ideaalis on lõpmatu. Seepärast võib kasutada pingejaguri väljundi valemit, mis tabrija voolu ei arvesta:

$$V_{välja} = \frac{R_2}{R_1 + R_2} \cdot V_{sisse} , \quad (3.12)$$

$$kus \quad V_{sisse} = VDD = 10V \quad (3.13)$$

$$ja \quad V_{välja} = V_{pv} \quad (3.14)$$

Käsitletavas süsteemis on kaks MOSFET-lülitust, mis saavad oma juhtimpulsid otse operatsioonivõimeditelt. Üks neist on *peak detector*'i nullija ning teine *sample and hold*'i määraja. Mõlema MOSFET-i juhtimiseks on kasutatud operatsioonivõimendeid, mis suudavad paisule juhtida rohkem voolu, kui seadmes kasutatud komparaatorid. Nende OV-de puhul on sisendite erisusetaju märksa kehvem kui komparaatoritel, mistõttu peaks loogika impulsside alumise (LOW) piiri tuvastamiseks olema sellega võrreldav lähtepinge (V_{lp}) LOW-st suurem. Selle jaoks on taaskord kasutatud pingejagurit VDD järel. Eeldusel, et LOW püsib nulli lähedal, piisab kui V_{lp} on u. 1V.

Kõik operatsioonivõimendid antud ülesandes vajavad positiivset toitepinget. OV-d, millel esineb kokkupuudet trafo otsmiste harundite pingetega, peavad saama piisavalt suurt positiivset toitepinget, et toitepinge ei juhtuks väljutatud signaali olulisi tippe ära lõikama. Selleks saab alati võtta toite dioodalaldilt otse.

4 Süsteemi põhiosade printsiipaalskeemid

Printsiipaalskeeme kirjeldavad graafikud on võetud ajahetkel, mil süsteem on just sisse lülitatud ning on oodata löökvoole. Järgnevad süsteemi seaded on **abstraktsed** ning on ainult teoreetilised alused printsiipaalskeemide graafikutele. Printsiipaalskeemid annavad ülevaate süsteemi põhi moodulitele ning nende graafikud aitavad mõista moodulite toiminguid. Seadme piirpingeks (V_{pp}) on määratud 50% väljundi maksimaalpingest. Väljundvool on süsteemi sisselülitamisel määratud ligikaudu 1% erinevusega piirvoolust (V_{pv}), seega pole eeldatud, et silufilter talletaks piisavalt energiat, et see graafikutel üle kahe 10ms-ilise perioodi kergelt eristatav oleks. Sellegipoolest tekivad teatud impulsid, mille esitamiseks on mingi erisus vajalik.

- V+ tähistab suurimat positiivset pinget, millele viidatakse peatükis 3.10
- V- tähistab suurimat negatiivset pinget, millele viidatakse peatükis 3.9
- VDD tähistab positiivset pinget, millele viidatakse peatükis 3.10

Kõik väljundsignaalide ja komponentide tähistused läbivad ühtset tähendust läbi peatüki 4.

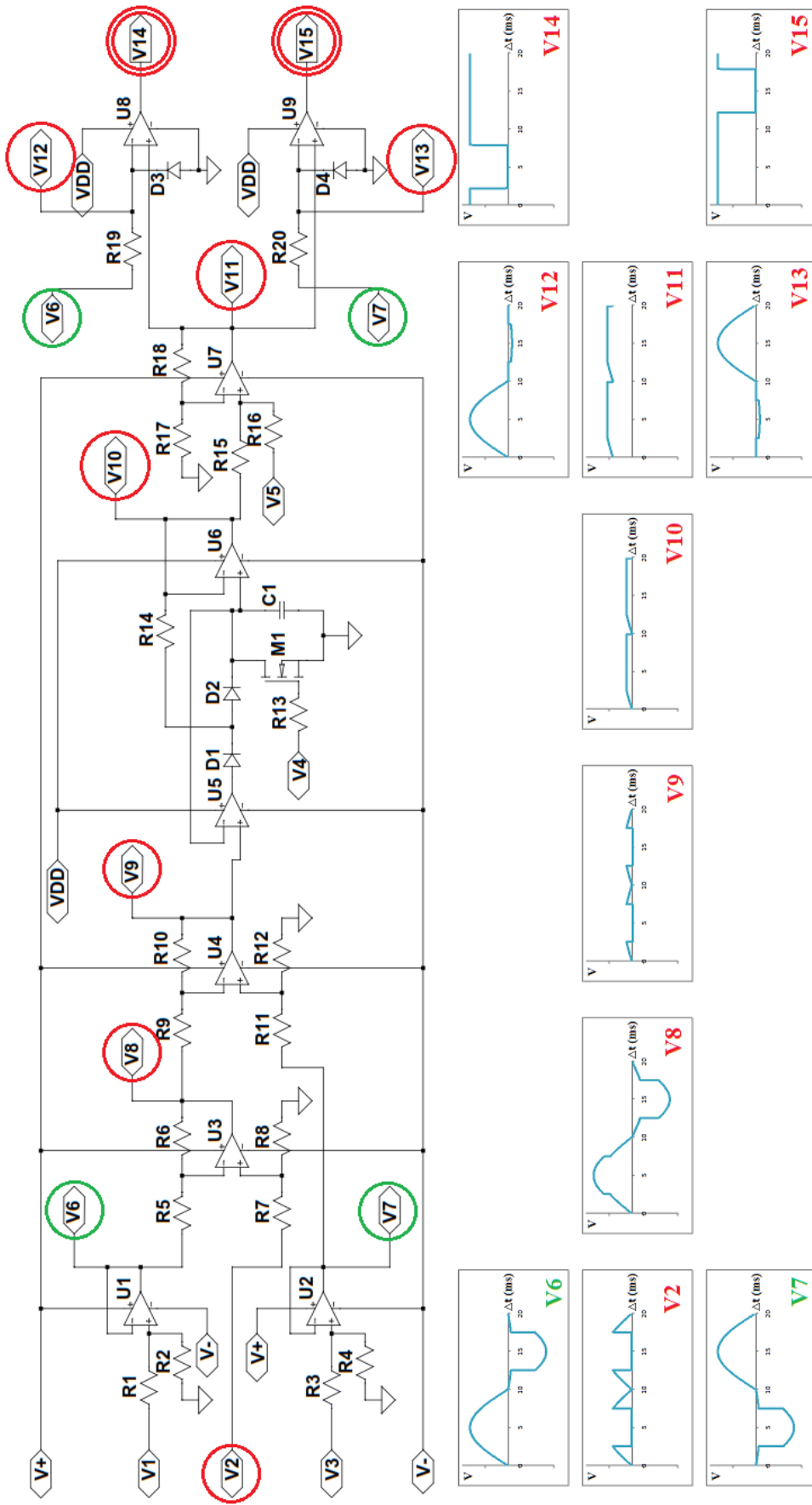
4.1 Kompensatsiooniga väljundpinge piiraja impulsid

Järgnevad kirjeldused käivad Joonise 4.1 (lk. 36) ja Joonise 4.2 (lk. 37) kohta

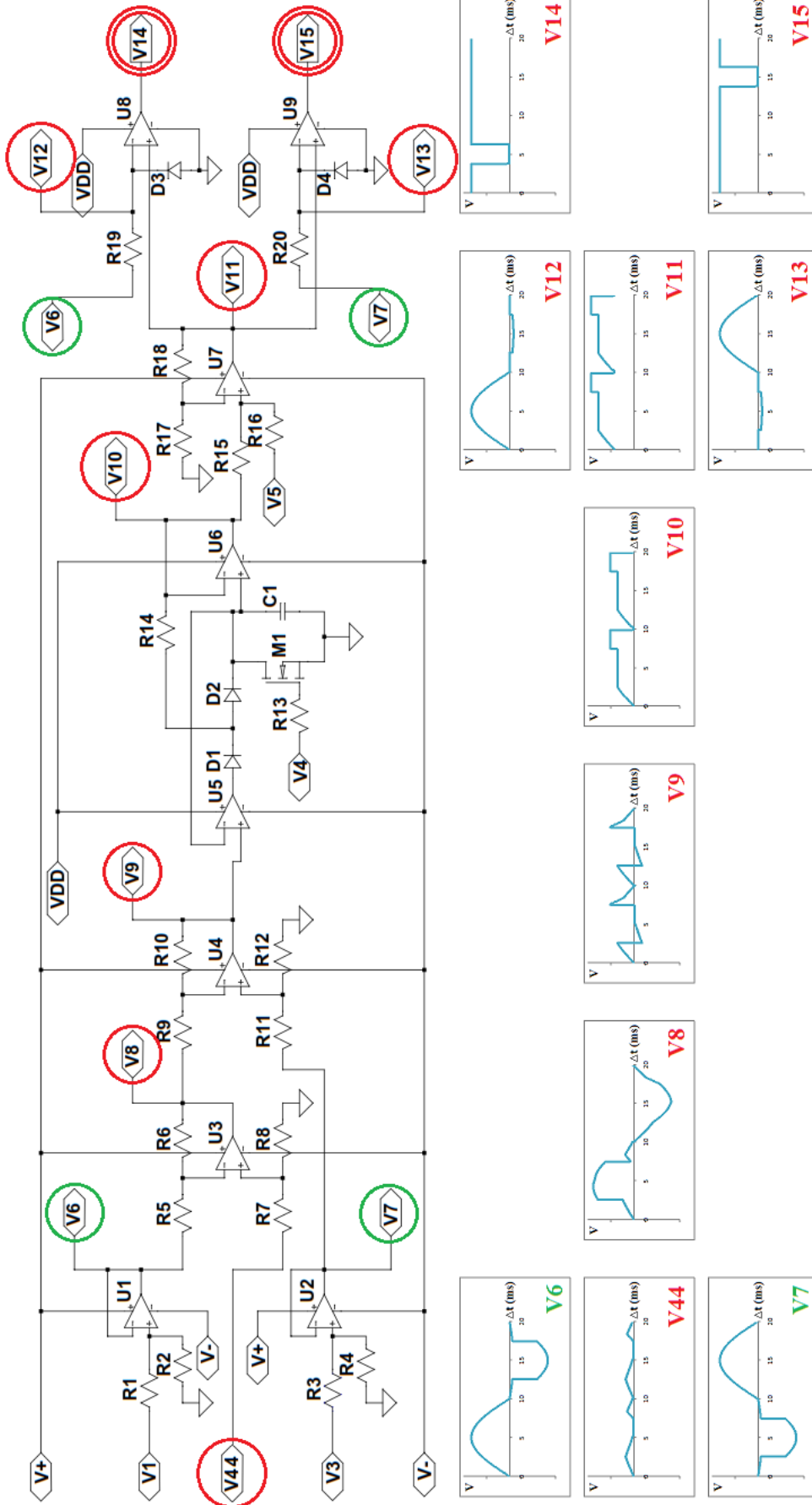
- V1 ja V3 tähistavad pingeid trafo otsmistel harunditel
- V4 faasivahe impulss
- V5 on V_{pp} , mis on ette määratud 50% maksimaalsest väljundpingest

Roheliste ringidega tähistatud signaalid on ka moodulisisesed ühendused.

Järgnevad Joonised peaks ka võimaldama silmaga eristada kompensatsioonipingete erinevust erinevate valitud lähtepingete juures. Kõige paremini kajastab seda graafik V10. Oluliseimad väljundid, mida lõpplahenduse saamisel kasutatakse on V14 ja V15, mis on järgnevatel skeemidel tähistatud kahe punase ringiga.



Joonis 4.1 Kompensatsiooniga väljundpinge piiraja printipskaal skeem koos olulisemate signaalide graafikutega – Kompensatsiooni lätepingeks on V2



Joonis 4.2 Kompensatsiooniga väljundpinge piiraja printsiipskeem koos olulisemate signaalide graafikutega – Kompensatsiooni lähtepingeks on V44

Täiendav info käib mõlema, nii Joonis 4.1 kui ka 4.2 kohta, seepärast on kasutatud signaalide kirjeldamiseks vaid paikapandud tähistusi ning skeemilisel kirjeldusel skeemil olevaid tähistusi. Kuna Joonistel on väljundahela eripunktidest võetud lähtepinged, siis on neile selles alapeatükis omistatud ajutiseks tähistuseks $V_{2,44}$.

U1 ja U2 on pingejärgurid, mille väljund on tõlgendatav järgneva valemiga:

$$V_{välja} = V_{sisse} \quad (4.1)$$

Kuna mitteinverteerivate võimendite väljund on piiratud järgneva valemiga:

$$V_{välja} = \left(1 + \frac{R_2}{R_1}\right) \cdot V_{sisse} , \quad (4.2)$$

siis selle väljund ei saa olla kunagi väiksem kui sisend. Seepärast on kasutatud U1-he ees pingejagurit R1 ja R2 ning U2-he ees pingejagurit R3 ja R4, mille väärtused on:

$$R_1 = R_2 = R_3 = R_4 \quad (4.3)$$

Pingejärgur on oluline seepärast, et selle suure sisendtakistuse tõttu ei kahane pingejaguri väärtus. Kuna kogu seadme negatiivne pingevaldkas on seotud väljundpingega negatiivse korrelatsiooniga, siis inverteerivate võimendite kasutusel hakkaksid väljundsignaalide alumised osad lahendustest ära kaduma. Pingajagurite väärtused on kajastatud graafikutel V6 ja V7.

U3 on differentsiaalkonfiguratsioonis, mis tähendab, et inverteeriva sisend lahutatakse mitteinverteerivast. Selle väljundit kirjeldab järgnev valem:

$$V_8 = \frac{(R_6 + R_5)R_8}{(R_8 + R_7)R_5} \cdot V_{2,44} - \frac{R_6}{R_5} \cdot V_6 , \quad (4.4)$$

$$kus \quad R_5 = R_6 = R_7 = R_8 \quad (4.5)$$

Võimendusteguri puudumisel taandub valem (4.2) järgnevaks:

$$V_8 = V_{2,44} - V_6 \quad (4.6)$$

U4 on samuti differentsiaalkonfiguratsioonis, mis tähendab, et inverteeriva sisend lahutatakse mitteinverteerivast ning kasutada võib analoogset valemit nagu 4.4, sest:

$$R_9 = R_{10} = R_{11} = R_{12} \quad (4.7)$$

Mille tulemusena saame U4 väljundi valemiga:

$$V_9 = V_7 - V_8 \quad (4.8)$$

Tasub välja tuua ka olulise märkusena, et kuna $V_{2,44}$, V_6 ja V_7 on sümmeetrias, siis õige tulemuse saab ka järgnevate valemitega:

$$V_8 = V_{2,44} - V_7 \quad (4.9)$$

$$V_9 = V_8 - V_6 \quad (4.10)$$

Operatsioonivõimendi U5 on täppisdiodina *peak detector*'i konfiguratsioonis koos diodide D1 ja D2. Täppisdiod on esialgsena lihtsalt pingejärgur, kuid lisatud diod takistab negatiivset tagasisidet hetkel, mil mitteinverteerival väljundil on negatiivne väärtus. Põhjuseks miks on kasutatud kahte diodi seisneb selles, et kui diod satub vastupingestatuse alla, siis ilmub madal lekkevool, ning antud juhul tühjendaks see *peak detector*'i kondensaatorit. Selle probleemi aitab lahendada pingejärgur U6. Tänu sellele, et U6 üritab hoida enda sisendid võrdsetena, siis juhtubki D2-le jääma pingelang 0V, mille tõttu lekkevoolu läbi D2-e ei teki ning kondensaatori väärtus on sedavõrd püsivam. Takisti R14 funktsioon seisneb lihtsalt selles, et säärane tagasiside ei šhunteeriks *peak detector*'i kondensaatorit täielikult. *Peak detector*'i jaoks on kasutatud kondensaatorit, mille mahtuvus on nanofaradites, mis tõstab *peak detector*'i jälgimise täpsust. U5 ja U6 on valitud mõlemad JFET tüüpi operatsioonivõimenditeks, mille sisendtakistused on ülimalt suured, mis aitavad hoida kondensaatori väärtuse veelgi rohkem suletumana. Kuid just seepärast on vaja kondensaatorit tühjendavat lüliti M1. Selle kasulikkus leiab aset, kui seadme väljundpinget reguleeritakse madalamaks, siis tänu sellele, et kondensaatori väärtust säilitatakse väga hästi, lakkaks pingepiiraja oma tööd õieti tegemast. Lüliti M1 tühjendab *peak detector*'i kondensaatori väärtust perioodiliselt. *Peak detectori* U5 ja järguri U6 väärtused on võrdväärsed. Tulemus V10, käitub seega kolmes etapis, mida saab kirjeldada järgnevalt:

- $V_{10} = V_9$, kui $V_9 \neq V_{9_{suurim}}$ (4.11)

- $V_{10} = V_{9_{suurim}}$, kui $V_9 < V_{10}$ (4.12)

- $V_{10} = 0V$, kui $V_{C1} = 0V \therefore V_4 = V_{DD}$ (4.13)

U7 on mitteinverteeriva summaatori konfiguratsioonis ning põhjus, miks mitteinverteeriv seisneb taaskord selles, et V_- on ebausaldusväärne. Mitteinverteeriv summaator töötab samamoodi nagu mitteinverteeriv võimendi. Ainuke erinevus on selles, et on kasutatud jällegi pingejagurit R15 ja R16, kus:

$$R_{15} = R_{16} = R_{17} = R_{18} \quad (4.14)$$

Seetõttu on pingejaguri väärtus pool selle sisendite erinevusest ning on kirjeldatav:

$$V_{välja} = \frac{R_{15}}{R_{15} + R_{16}} \cdot (V_5 - V_{10}) + V_{10} \quad (4.15)$$

Tänu tingimusele (4.14) saame lihtsustada lahenduse (4.15) järgnevalt:

$$V_{välja} = \frac{1}{2} \cdot (V_5 - V_{10}) + V_{10} \quad (4.16)$$

Kasutades valemeid (4.2) ning (4.16), leiame V_{11} väärtuse jaoks valemi:

$$V_{11} = \left(1 + \frac{R_{18}}{R_{17}}\right) \cdot \left(\frac{1}{2} \cdot (V_5 - V_{10}) + V_{10}\right) \quad (4.17)$$

$$V_{11} = \left(1 + \frac{R_{18}}{R_{17}}\right) \cdot \frac{1}{2} \cdot (V_5 - V_{10}) + \left(1 + \frac{R_{18}}{R_{17}}\right) \cdot V_{10} \quad (4.18)$$

Lisades valemile (4.18) tingimuse (4.14), saame tuletada lihtsustatud valemi:

$$V_{11} = 2 \cdot \frac{1}{2} \cdot (V_5 - V_{10}) + 2 \cdot V_{10} \quad (4.18)$$

$$V_{11} = V_5 - V_{10} + 2 \cdot V_{10} \quad (4.19)$$

$$V_{11} = V_5 + V_{10} \quad (4.20)$$

V_{11} representeerib kompenseeritud piirpinget.

U8 ja U9 on komparaatorid, mille inverteerivaid sisendeid on kaitstud diodidega D3 ja D4. Need komparaatorid on *Over-the-top* tüüp, mille puhul võib sisenditele juhtida

nende positiivsest toiteallikast palju suuremat pinget. Väljavõte V12 näitab D3-e mõju V6-lt saadud signaalile. Väljavõte V13 näitab D4-ja mõju V7-lt saadud signaalile. Diodid päripingestuvad, kui signaal on negatiivne ning toovad selle päripingelangu kaugusele maapunktist. Takistid R19 ja R20 eraldavad V6-e ja V7-e diodide otsese mõju eest. Suuremad takistid parendavad eraldatust. U8 väljund käitub ideaalis kahes etapis:

- $V14 = VDD$, kui $V12 < V11$ (4.21)

- $V14 = 0V$, kui $V12 > V11$ (4.22)

U9 väljund töötab ideaalis samuti kahes etapis:

- $V15 = VDD$, kui $V13 < V11$ (4.23)

- $V15 = 0V$, kui $V13 > V11$ (4.24)

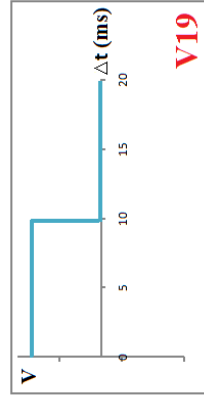
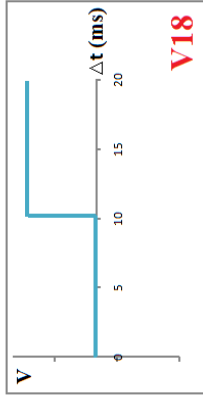
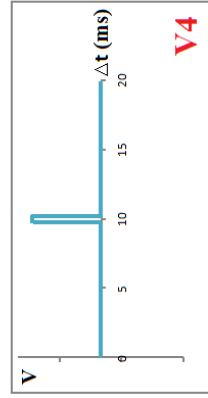
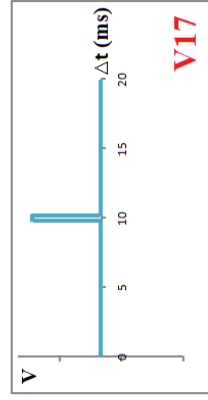
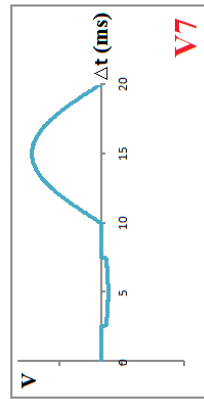
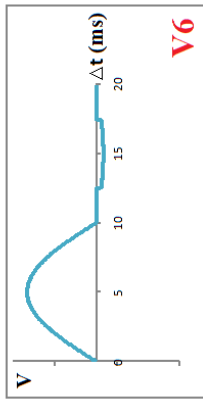
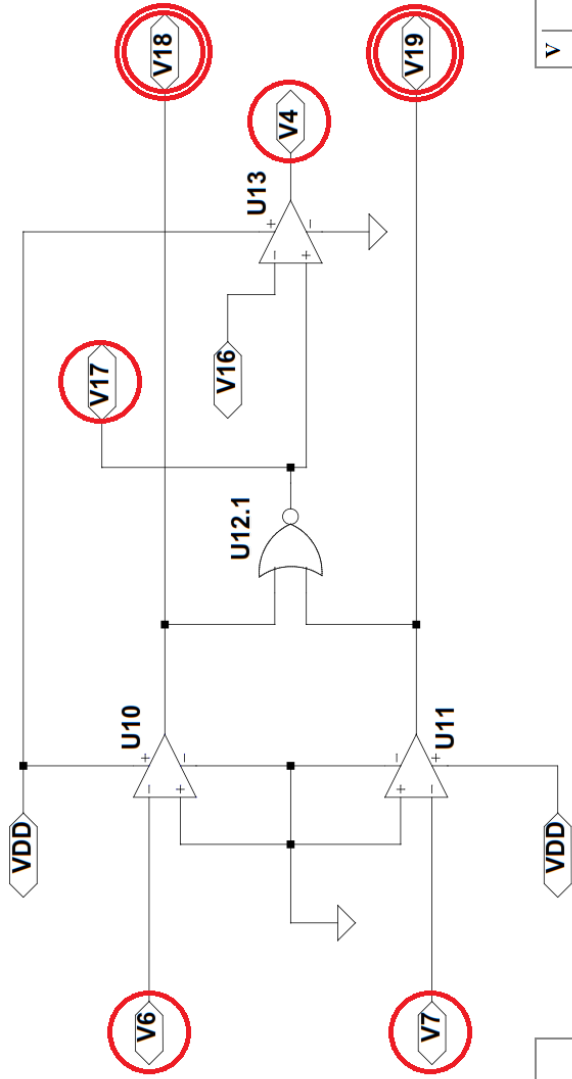
4.2 Diodrežiimi ning faasivahe impulsid

Järgnevad kirjeldused käivad Joonise 4.3 (lk. 42) kohta

- V16 on V_{ip} , millele viidatakse peatükis 3.10

Siin võib näha faasivahe impulsse, mida süsteemis nii *peak detector* kui ka *sample and hold* enda väärtuste värskendamiseks kasutab.

Oluliseimad väljundid, mida lõpplahenduse saamisel kasutatakse on V18 ja V19, mis on järgneval skeemil tähistatud kahe punase ringiga.



Joonis 4.3 Diodrežiimi ning faasivahetaja impulsside printsiipskeem koos olulisemate signaalide graafikutega

U10 ja U11 on *Over-the-top* tüüpi komparaatorid. U10 väljund käitub ideaalis kahes etapis:

- $V_{18} = V_{DD}$, kui $V_6 < GND$ (4.21)

- $V_{18} = 0V$, kui $V_6 > GND$ (4.22)

U11 väljund töötab ideaalis samuti kahes etapis:

- $V_{19} = V_{DD}$, kui $V_7 < GND$ (4.23)

- $V_{19} = 0V$, kui $V_7 > GND$ (4.24)

U12 koosneb neljast loogika elemendist, milles ühte on käsitletud skeemil kujutatud tähistusega U12.1. Loogika elemendi tüüp on NOR, mille väljund on võrdne VDD-ga ainult juhtudel, kui mõlemad selle sisendid on nullid.

U13 on harilikest komparaatoritest parema väljundvoolu võimekusega operatsioonivõimendi, mis on pandud töötama komparaatori režiimis. Mida suurem on selle väljundvoolu võimekus, seda kiiremini rakendab see MOSFET-lüliteid M1 ja M3. Kindlustamaks, et U13 väljund käitub komparaatorile omaselt, on kasutatud maapunktist suuremat lähtepinget V16. Tulemuseks on ebamärkimisväärselt väikese ajanihkega V17-ne mõõtu impulss.

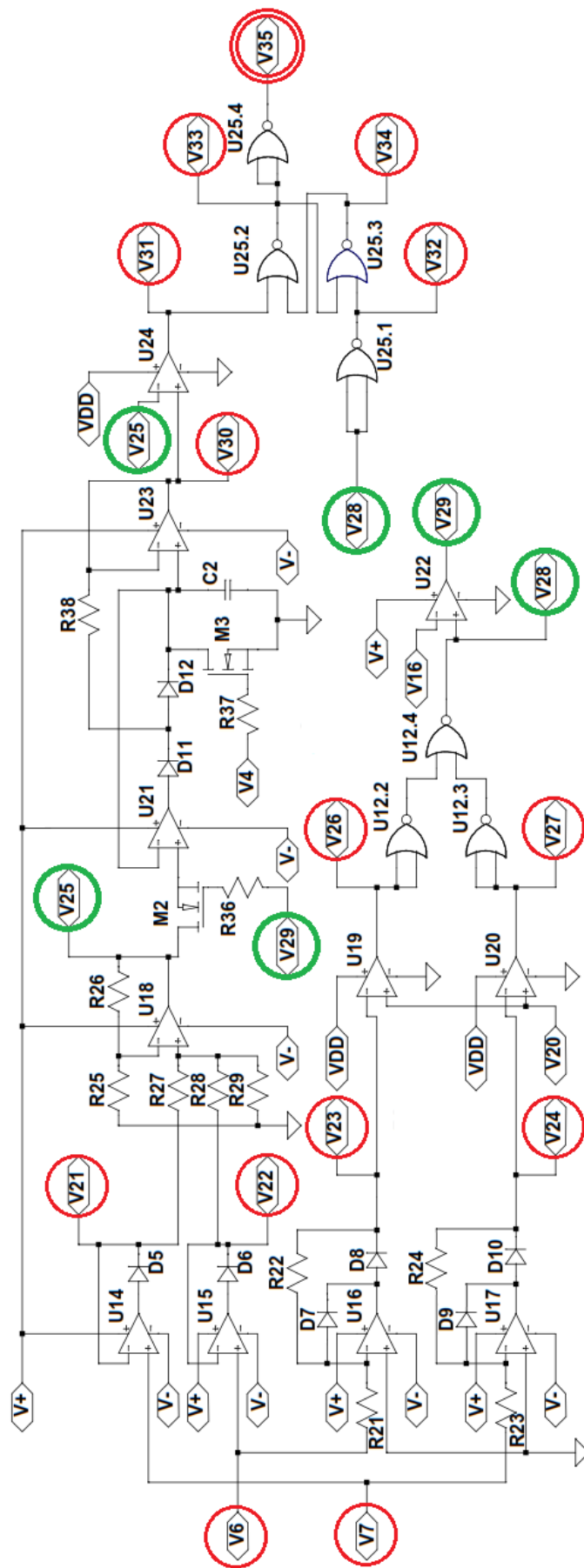
4.3 Väljundvoolu piiravad impulsid

Järgnevad kirjeldused käivad Jooniste 4.4 (lk. 44) ja 4.5 (lk.45) kohta

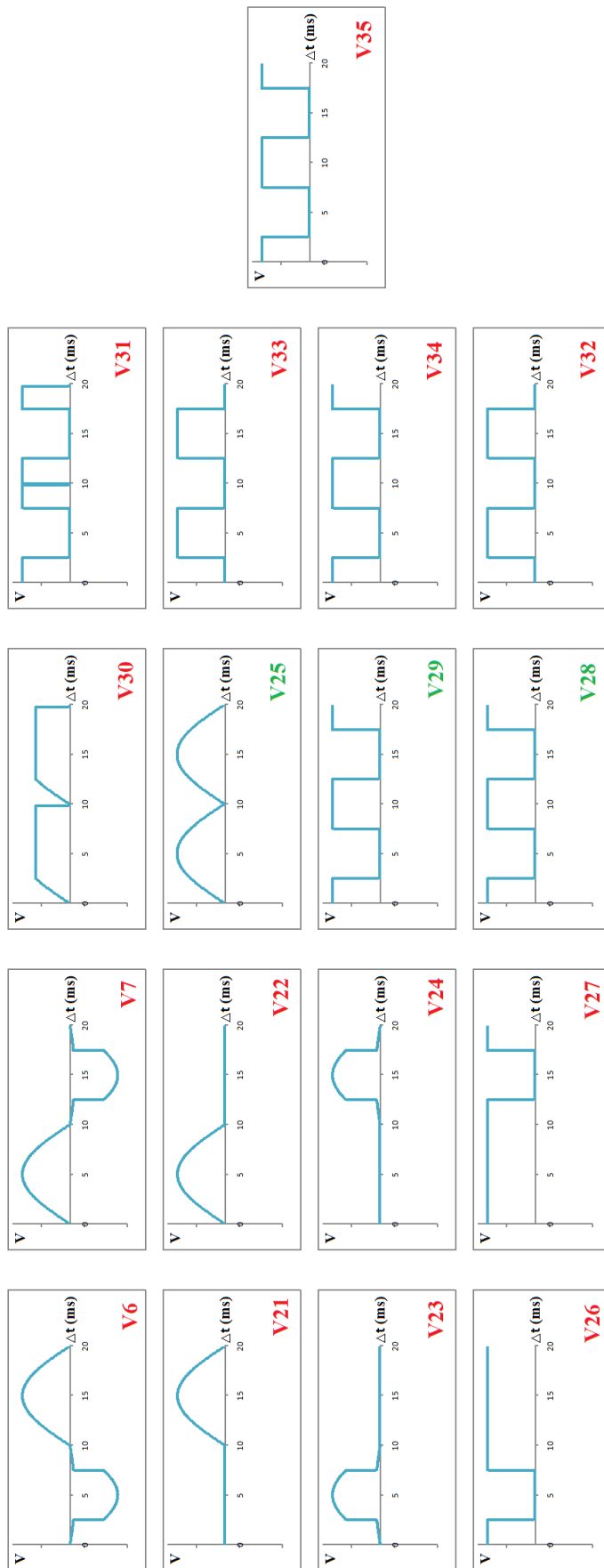
- V16 on V_{ip} , millele viidatakse peatükis 3.10
- V4 faasivahe impulss, mis võimaldab *sample and hold*'i tühjendust ajahetkedel, kui selle väärtust enam ei vajata
- V20 on V_{pv}

Roheliste ringidega tähistatud signaalid on moodulisisesed ühendused.

Oluliseim väljund, mida lõpplahenduse saamisel kasutatakse on V35, mis on järgneval skeemil tähistatud kahe punase ringiga.



Joonis 4.4 Väljundvoolu piiraja printsiipiline skeem



Joonis 4.5 Voolupiiraja printsiipsiaalskeemi kirjeldavad graafikud

U14 ja U15 on täppisdiodi konfiguratsioonis. Kuna nende väljundid suunduvad edasi summaatorisse U18, siis peavad nende väljundid asuma just ebavajalike negatiivsete sisendite juures võimalikult nulli lähedal. Selleks, et kummagi väljund ei oleks sellega ühenduses oleva diodi lekkevoolust oluliselt sõltuv, on kasutatud JFET operatsioonivõimendeid. Nende suure sisendtakistuse tõttu on nii lekke- kui ka tagasiside vool minimaalne, mille tõttu püsib väljundpinge võimalikult lähedal ideaalsel aladamisel oodatuga. Täppisdiod on esialgsena pingejärgur, mis üritab hoida oma väljundil sama väärtust, mis on antud mitteinverteerival sisendil. Positiivse sisendpinge juures üritab OV hoida enda mõlemad sisendid võrdsetena, selleks hakkab see enda väljundpinget tõstma. Tagasisideahelas olev diod päripingestub ning laseb väljundil OV sisendi järgi muutuda. Tänu sellele, et tagasiside ahel on võetud peale diodi, siis tõstab OV oma väljundit diodi pingelangu võrra kõrgemale, mis loobki täppisdiodi konfiguratsiooni eripära. Juhul, kui mitteinverteerivale sisendile ilmub negatiivne pinge, siis OV tõmbab oma väljundi võimalikult alumise toitepinge lähedale. Selle tõttu OV tagasisideahelas olev diod vastupingestub ning väljundpinge säilitab oma väärtuse sõltuvalt diodi lekkevoolust. OV U14 väljundit võib kirjeldada kahe tingimusega:

- $V_{21} = V_7, \text{ kui } V_7 > 0V \quad (4.25)$

- $V_{21} = 0V, \text{ kui } V_7 < 0V \quad (4.26)$

OV U15 väljundit võib kirjeldada samuti kahe tingimusega:

- $V_{22} = V_6, \text{ kui } V_6 > 0V \quad (4.27)$

- $V_{22} = 0V, \text{ kui } V_6 < 0V \quad (4.28)$

U16 ja U17 on inverteeriva täppisdiodi konfiguratsioonis. Nendele järgnevate komparaatorite jaoks ei ole nii oluline, milline on U16 ja U17 väljund ebavajalike positiivsete sisendite juures. Seetõttu ei pea need OV-d olema JFET tüüpi. Inverteeriv täppisdiod omab pealevaadatuna kahte tagasisideahelat, millest üks neist omab takistit ning teine diodi. Tagasiside, mis omab takistit, käitub üheselt inverteerivale võimendile. Kui U16 ja U17 inverteerivatele sisenditele ilmub positiivne pinge, siis tänu OV-de eripärale, et need üritavad hoida oma väljundeid võrdsetena, üritavad ka U16 ja U17 viia oma inverteerivat sisendit oma mitteinverteeritud sisendiga ühendatud maaga ühele tasandile. Seepärast muutab OV oma väljundi negatiivseks, mille tagajärjel rakendub

tagasiside ahel, millel on üksik diood (antud juhul on mõeldud dioode D7 ja D9). Diod päripingestub ning nüüd on OV väljundile efektiivselt tekkinud sisendpingega ligilähedane negatiivne pinge. Täppisdiodi väljundpinge sellest oluliselt ei sõltu, sest diodid D8 ja D10 on nendel hetkedel vastupingestatud. Kui U16 ja U17 inverteerivatele sisenditele ilmub negatiivne pinge, siis diodid D7 ja D9 on vastupingestatud ning diodid D8 ja D10 päripingestatud, mistõttu liigub vool nüüd läbi tagasisideahela, milles on takisti (antud juhul on mõeldud takisteid R22 ja R24). Siinpuhul oleks mõistlik välja tuua järgnev tingimus:

$$R_{21} = R_{22} = R_{23} = R_{24} \quad (4.29)$$

Kasutades nüüd inverteeriva võimendi tööd kirjeldavat valemit:

$$V_{välja} = -\frac{R_t}{R_{sisse}} \cdot V_{sisse} , \quad (4.30)$$

$$kus \quad R_t = R_{22} = R_{24} \quad (4.31)$$

$$ja \quad R_{sisse} = R_{21} = R_{23} \quad (4.32)$$

Tingimusel (4.29) saame valemi (4.30) taandada kujule:

$$V_{välja} = -V_{sisse} \quad (4.33)$$

Valemist (4.33) saame järeldada, et negatiivse sisendi puhul on väljund positiivne ning taaskord tagasiside ahel kompenseerib diodide pingelange. OV U16 väljundit võib nüüd kirjeldada kahe tingimusega:

- $V_{23} = -V_6$, kui $V_6 < GND$ (4.34)

- $V_{23} = 0V$, kui $V_6 > GND$ (4.35)

OV U15 väljundit võib kirjeldada samuti kahe tingimusega:

- $V_{24} = -V_7$, kui $V_7 < GND$ (4.36)

- $V_{24} = 0V$, kui $V_7 > GND$ (4.37)

U19 ja U20 on komparaatorid, mis üldkokkuvõttes võrdlevad aktiivse MOSFET-i paari pingelangu lubatud pingelangudega V_{20} ehk väljundi piirvooluga V_{pv} . U19 väljund käitub kahes etapis järgnevalt:

- $V_{26} = VDD$, kui $V_{23} < V_{20}$ (4.38)

- $V_{26} = GND$, kui $V_{23} > V_{20}$ (4.39)

OV U15 väljundit käitub samuti kahes järgnevas etapis:

- $V_{27} = VDD$, kui $V_{24} < V_{20}$ (4.40)

- $V_{27} = GND$, kui $V_{24} > V_{20}$ (4.41)

U12 on NOR loogika komponent, mille neljast elemendist on üks juba eelnevalt ära kasutatud. Et mitte raisata lihtsalt AND tüüpi loogika komponendile ruumi ja raha võime ära kasutada üleliigsed 3 NOR elementi, et valmistada nendest AND tehe. Järgnevalt on esitatud kolme NOR-i loogika tehe:

- U12.2 sisendid on määratud – A2; B2

- U12.3 sisendid on määratud – A3; B3

$$V_{28} = \overline{\overline{A2 + B2} + \overline{A3 + B3}} \quad (4.42)$$

Kasutades De Morgani seadust, saame:

$$V_{28} = \overline{\overline{A2 + B2}} \overline{\overline{A3 + B3}} = (A2 + B2)(A3 + B3) , \quad (4.43)$$

$$\text{kus } A2 = B2 = V_{26} \quad (4.44)$$

$$\text{ja } A3 = B3 = V_{27} , \quad (4.45)$$

mille järel saame et:

$$V_{28} = V_{26} \cdot V_{27} \quad (4.46)$$

Üleliigsed NOR elemendid on nüüd kasutatud ja tulemuseks on vajaminev AND tehtega loogikaahel.

U22 on OV, mis ei ole komparaator, kuid pandud tööle selles režiimis samal põhimõttel nagu U13. U22 juhib *sample and hold*'i väärtuse määraja rollis lüliti M2. Kui V28, ehk hetked, millal mõlema MOSFET-i paari väljundvoolud on alla piirvoolu, on kõrge (HIGH) ehk väärtusega VDD, siis *sample and hold*'i väärtus kasvab väärtuseni V+. Põhjus miks U22 ülemine toiteallikas on V+, seisneb selles, et lüliti M2 läte kasvab avatud olekus üheselt V25-ga.

Sample and hold'i sisend saadakse mitteinverteerivalt summaatorilt U18. Summaator ei oma võimendavat väljundit, sest:

$$R_{25} = R_{26} = R_{27} = R_{28} = R_{29} \quad (4.47)$$

Summaatori lahenduse leiab valemiga (4.20) ning lisatakistit R29 ei pea valemis arvestama, sest selle eesmärk on täiesti erinev. Nimelt vaatavad U14 ja U15 läbi pingejaguri R27 ja R28 üksteisele otsa. Kui spekuloida varianti, et V21 on madalam kui V22, siis hakkab vool liikuma U15-st U14-ne suunas, kuid mis tänu U14-ne väljundil olevale diodile hakkab liikuma tagasiside kaudu mitteinverteerivale sisendile. Kuna U14 ja U15 sisetakistused on ülimalt kõrged, jääb pingejaguri takistitele väga väikese voolu tõttu praktiliselt olematu pingelang, mis halvimal juhul tähendaks, et V21 ja V22 saaksid võrdseks. JFET tüüpi operatsioonivõimendite sisetakistustega pole mõistlik konkureerida nii, et muuta takistite (4.47) väärtused samuti ülikõrgeks, sest see suurendab summaatori tundlikkust. Selle tagajärjel muutub summaatori väljund ostsilleeruvaks ning üleüldiselt raskeschemini kontrollitavaks. Kui V21 ja V22 oleks võrdväärsed, siis pingejaguri väljund oleks teoorias samuti nendega võrdne, mis tähendab, et summaator lihtsalt kahekordistaks V22-e väärtuse. Selline tulemus oleks väär. Lahenduseks on lisatud pingejagurile lisa takisti, mis annaks U14-le ja U15-le ühise suuna ning nüüd vaataks neil ühendusel ees vaid pingejaguri takisti.

OV U21 on täppisdiodina *sample and hold*'i konfiguratsioonis koos diodide D11 ja D12. U21 käitub analoogselt *peak detector*'ga (U5). U21-le järgneb pingejärgur U23. Taaskord on kasutatud JFET tüüpi operatsioonivõimendeid, mille tagajärjel on saavutatud väga hästi isoleeritud kondensaator C2. Seepärast on ka selle tühjendajaks eraldi lüliti vaja, mis antud juhul on MOSFET M3. Hea samplimise kiiruse saavutamiseks on kasutatud nanofaradiskaalas kondensaatorit. Vaatamata kõigile

sarnasustele *peak detector*'iga sõltub *sample and hold*'i tulemus mitmetest erinevatest tingimustest. *Sample and hold* tulemus V30, käitub kolmes etapis, mida saab kirjeldada järgnevalt:

- $V30 = V25$, kui $V29 = V +$ (4.48)

- $V30 = V_{C2}$, kui $V29 = GND$ (4.49)

- $V30 = 0V$, kui $V_{C2} = 0V \therefore V4 = VDD$ (4.50)

U24 on komparaator, mis võrdleb V6-e ja V7-e positiivsete külgede summat V25 selle piirvooluga limiteeritud väärtusega V30. U24 töökäiku on võimalik kirjeldada kahe järgneva etapiga:

- $V31 = VDD$, kui $V30 > V25$ (4.51)

- $V31 = GND$, kui $V30 < V25$ (4.52)

Nii on V31 tulemuseks hetked, mil seadme vool on ohutus tööalas ehk töövoolud on väiksemad kui piirvool.

Järgnev loogika ahel, mis koosneb neljast NOR elemendist omab kahte erinevat sorti funktsioone. U25.1 ja U25.4 töötavad inverteritena ning U25.2 ja U25.3 on SR tüüpi trigerilises ühenduses. Põhjus, miks triggerit üldse vaja on, seisneb *sample and hold*'i ebalineaarses tõusujoones. *Sample and hold*'i väljundil toimub pidev ülereguleerimine, mis paneb komparaatori U24 pulseerima. Kui kasutada V35-e asemel V31-te, siis kanduks kõik pulsatsioonid väljundahela MOSFET-idele ja see pole antud ülesande piires lubatud väljundsagedus. SR trigeri eesmärk on võtta V31-e esimene impulss ning eirata selle pulseerumist seni, kuni *sample and hold*'i sisendi jälgimine on lõppend ehk hetkel, mil lüliti M2 sulgub. Kuna M2-te juhtiv OV omab võrdväärseid impulsse V28-le, siis võib neid kasutada, et määrata aken, kus *sample and hold*'i pulsatsioone eiratakse.

Et NOR loogika väärtus on ainult HIGH siis, kui selle mõlemad sisendid on LOW, on elemendi U25.1 väljundi väärtus V32 on kirjeldatav järgnevalt:

- $V32 = VDD$, kui $V28 = GND$ (4.53)

- $V32 = GND$, kui $V28 = VDD$ (4.54)

SR trigeri elemendi U25.2 väljundi väärtus V33 on kirjeldatav järgnevalt:

- $V33 = VDD$, kui $V31 = V34 = GND$ (4.55)

- $V33 = GND$, kui $V31 \cup V34 \neq GND$ (4.56)

SR trigeri elemendi U25.3 väljundi väärtus V34 on kirjeldatav järgnevalt:

- $V34 = VDD$, kui $V32 = V33 = GND$ (4.57)

- $V34 = GND$, kui $V32 \cup V33 \neq GND$ (4.58)

Lõpplahenduse saame V33-e invertteerimisel. Invertteeriva elemendi U25.4 väljundi väärtus V35 on kirjeldatav järgnevalt:

- $V35 = VDD$, kui $V33 = GND$ (4.55)

- $V35 = GND$, kui $V33 = VDD$ (4.56)

Kui peaks juhtuma olukorrad, et triger satub surnud seisuga (*deadlock*), siis U25.4 katab selle vahemiku, mille tõttu on V35 eristatav V34-st. Selliseid olukordi võib tekkida süsteemis pikka MOSFET-alaldi tüüripulsi kujundamisel tekkivate hilistumiste pärast. Kuna U24 võrdleb *sample and hold*'i väärtust suhteliselt otse V1 ja V2 alaldatud poolväärtuste summaga ja positiivsel poolkaarel impulsse ei toimu, siis ei ilmne seal nii suuri viivitusi. Kuna *sample and hold* on määratud hoidma oma väärtust äärmiselt stabiilselt, siis võivad hakata tekkinud hilistumised silma jääma.

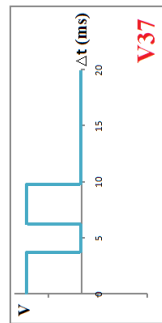
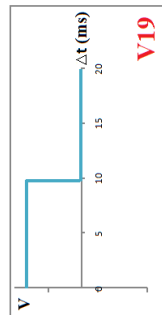
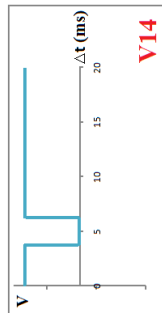
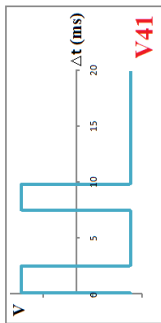
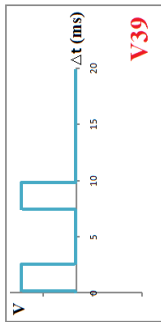
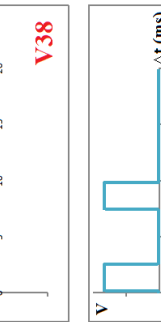
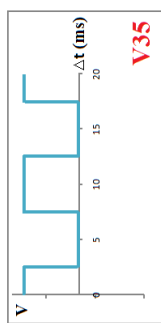
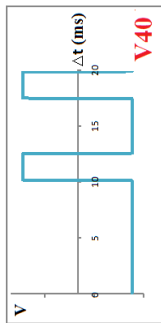
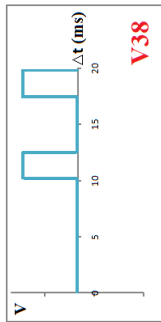
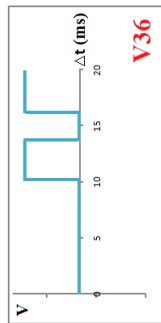
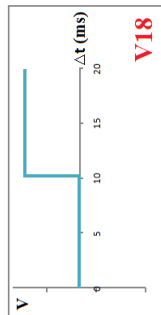
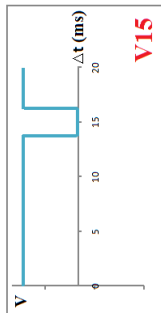
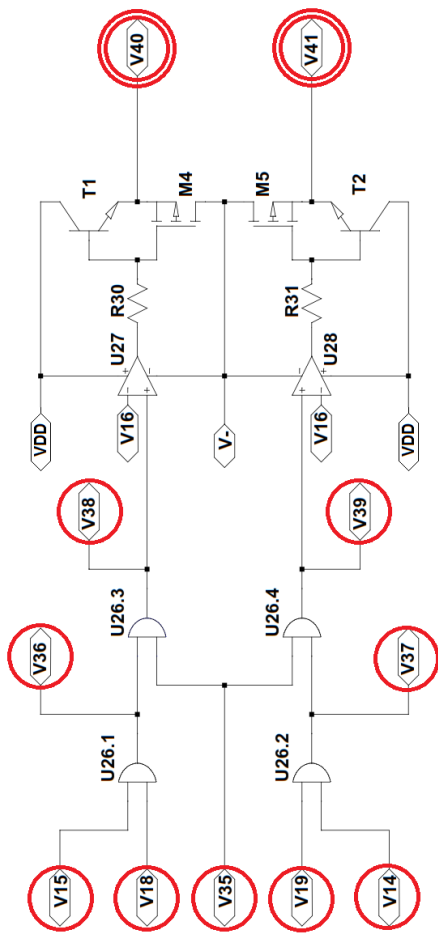
4.4 Paisu draiveri sisend- ja väljundimpulsid

Järgnevad kirjeldused käivad Joonise 4.6 (lk. 52) kohta

- V16 on V_{ip} , millele viidatakse peatükis 3.10

Tegemist on esimese olulisema koondava punktiga enne lõpplahendust, milleks on tüüritava sünkroonse alaldi täielikult kontrollitud väljundvõimsus.

Oluliseimad väljundid, mida lõpplahenduse saamisel kasutatakse on V40 ja V41, mis on järgneval skeemil tähistatud kahe punase ringiga.



Joonis 4.6 MOSFET-ide pausi draiverite impulsside loomise skeem koos selle olulisemate graafikutega

Antud printsiipaalskeem näitab selgelt, mismoodi kujunevad tüüritava sünkroonse alaldi väljundimpulsid, mida piiratakse nii pingega kui ka vooluga.

Kasutatud on AND loogika komponenti, mis koosneb neljast AND elemendist. AND omab väljundit olekus HIGH ainult siis, kui mõlemad selle sisendid on samuti HIGH. Seepärast käituvad järgnevad loogika elemendid ainult kahes etapis:

U26.1

- $V_{36} = V_{DD}$, kui $V_{15} \cap V_{18} = V_{DD}$ (4.55)

- $V_{36} = GND$, kui $V_{15} \cap V_{18} \neq V_{DD}$ (4.56)

U26.2

- $V_{37} = V_{DD}$, kui $V_{14} \cap V_{19} = V_{DD}$ (4.55)

- $V_{37} = GND$, kui $V_{14} \cap V_{19} \neq V_{DD}$ (4.56)

U26.3

- $V_{38} = V_{DD}$, kui $V_{36} \cap V_{35} = V_{DD}$ (4.55)

- $V_{38} = GND$, kui $V_{36} \cap V_{35} \neq V_{DD}$ (4.56)

U26.4

- $V_{39} = V_{DD}$, kui $V_{37} \cap V_{35} = V_{DD}$ (4.55)

- $V_{39} = GND$, kui $V_{37} \cap V_{35} \neq V_{DD}$ (4.56)

Põhjus, miks U26.1 juures jälgitakse erinevate faaside tagajärjel tekkinud tulemusi, seisneb selles, et piirpinget võrreldakse V1 ja V3 positiivsete poolkaartega, sest nendel puuduvad deformatsioonid. Deformatsioone on äärmiselt raske ning keerukas ennustada ning seda pole vaja teha, kui samaväärse lahenduseni jõuab ka teisiti. Samal põhjusel toimub ka piirvoolu võrdlemine just positiivsete mittedeformeerunud signaalidega.

Järgnevad komparaatorite konfiguratsioonid operatsioonivõimendid, mille väljundvoolu võimekust on parandatud *push-pull* tüüpi driveritega. Sellist tüüpi skeemi osa võib asendada ka spetsialiseeritud paisu draiveriga. Antud juhul täidab selline lahendus oma eesmärgi nii skeemis, kui ka skeemi paremal kirjeldusel.

Operatsioonivõimendi U27 väljundit saab kirjeldada järgnevalt.

- $V_{40} = V_+$, kui $V_{38} > V_{16}$ (4.55)

- $V_{40} = V_-$, kui $V_{38} < V_{16}$ (4.56)

Operatsioonivõimendi U28 väljundit saab kirjeldada järgnevalt.

- $V_{41} = V_+$, kui $V_{39} > V_{16}$ (4.55)

- $V_{41} = V_-$, kui $V_{39} < V_{16}$ (4.56)

Takistid R30 ja R31 on valitud nii, et operatsioonivõimendi väljundvool püsiks komponendi maksimaalsete piirangute vahemikus.

Kuna seadme maksimaalse negatiivse toite juhtimine tüüritava MOSFET-i paarile on äärmiselt oluline, siis tuleb kasuks, kui *push-pull* tüüpi draiveri alumises osas on madala sisetakistusega element nagu antud juhul PMOS.

4.5 Tüüritava sünkroonse alaldi väljundahel

Järgnevad kirjeldused käivad Joonise 4.7 (lk. 55) kohta

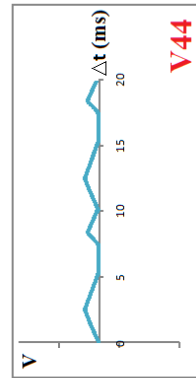
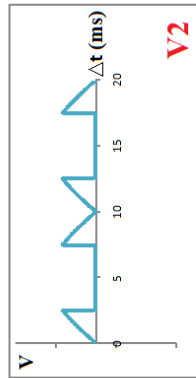
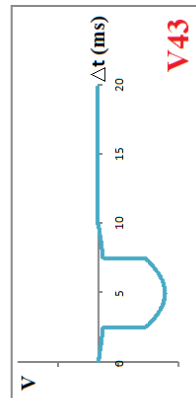
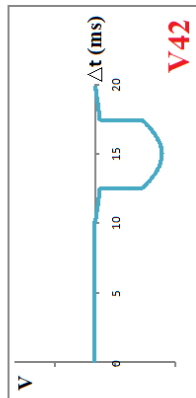
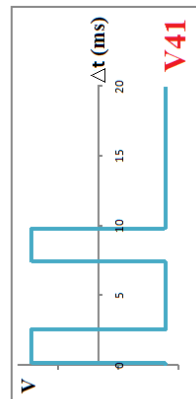
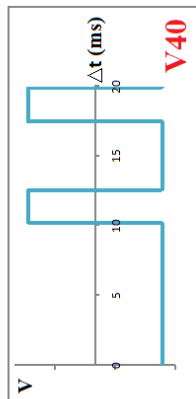
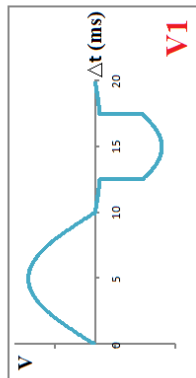
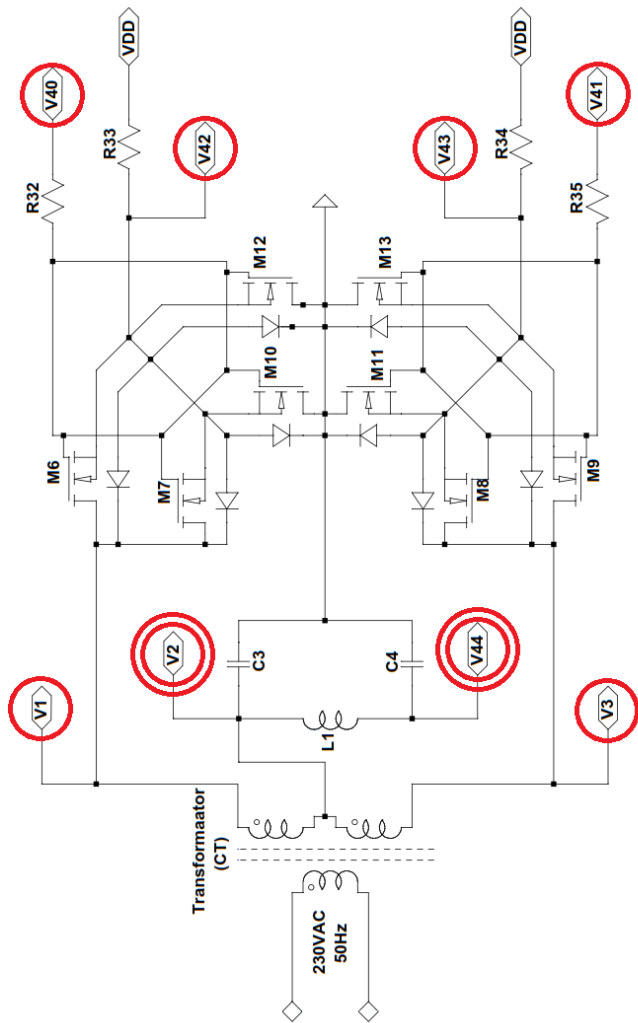
Skeemilt võib näha, et on kasutatud kahte *back-to-back* MOSFET-i paari paralleelis, mis MOSFET-alaldi pingelangu veel madalamale tooks.

Paisu takistid R32 ja R35 on valitud selliselt, et maksimaalne vooluimpulss MOSFET-ide kanali avamiseks oleks umbes 1A, sest üle VDD tekitava pingeregulaatori ei ole möödapääsu transistori eeldatud. Kuna kanal avatakse pingel VDD, siis saame välja kirjutada paisu takisti leidmise valemi ning ka tulemuse:

$$R_G = \frac{V_G}{I_G} = \frac{V_{DD}}{1A} = 10 \Omega \quad (4.57)$$

Graafikud V42 ja V43 näitavad ära, millist pinget on pinget on MOSFET-ide ühiselt lättelt oodata.

Lõpplahendusena võib käsitleda nii V2-te kui ka V44-ja ning mõlemad on Joonisel 4.7 tähistatud kahe punase ringiga.



Joonis 4.7 Tüüritava sünkroonse alaldi väljundahela printsiipskeem koos selle olulisemate signaalide graafikutega

5 Simulatsioonide tulemused

Käsitatud töös kirjeldatava tüüritava sünkroonse alaldi simulatsioonid on läbi viidud vabavaralises simuleerimise programmis LTspice IV. Realistlikuma transformaatori simuleerimiseks on lisatud mähistele ka takistust katmaks nii eeldatavad vaskjuhtme kadusid. Kuna antud töös ei ole võetud MOSFET-lülitite jaoks *snubber*'i aretamist eesmärgiks, siis pole ka rakendatud Ltspice'i poolt pakutavat mähiste ühilduvuse koefitsendi madalamat kui 1.000.

Esmalt on esitatud simuleerimisel kasutatud skeemi. Simulatsiooni skeemi puhul on silmas hoitud võimalikult lühikes BOM-i, et erinevaid kasutatavaid komponente oleks vähe. Samuti on rakendatud MOSFET-ide kerget paralleelühendatavust.

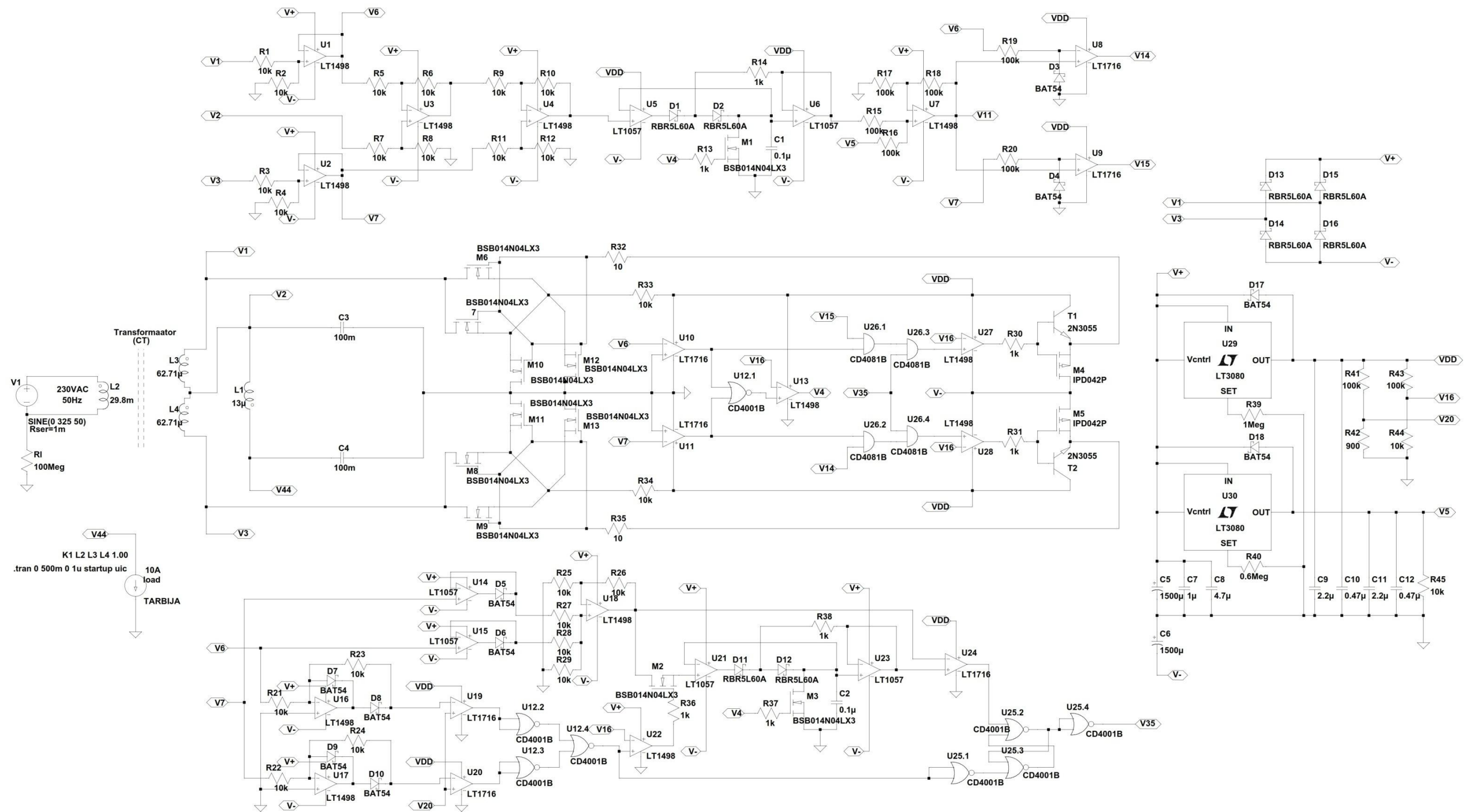
Järgmisena on toodud pildid simulatsiooni tulemustest tingimustel:

- Väljundpinge on seatud maksimaalsest 50% ehk 6 V.
- Tarbitav väljundvoolu suurus on 10 A.

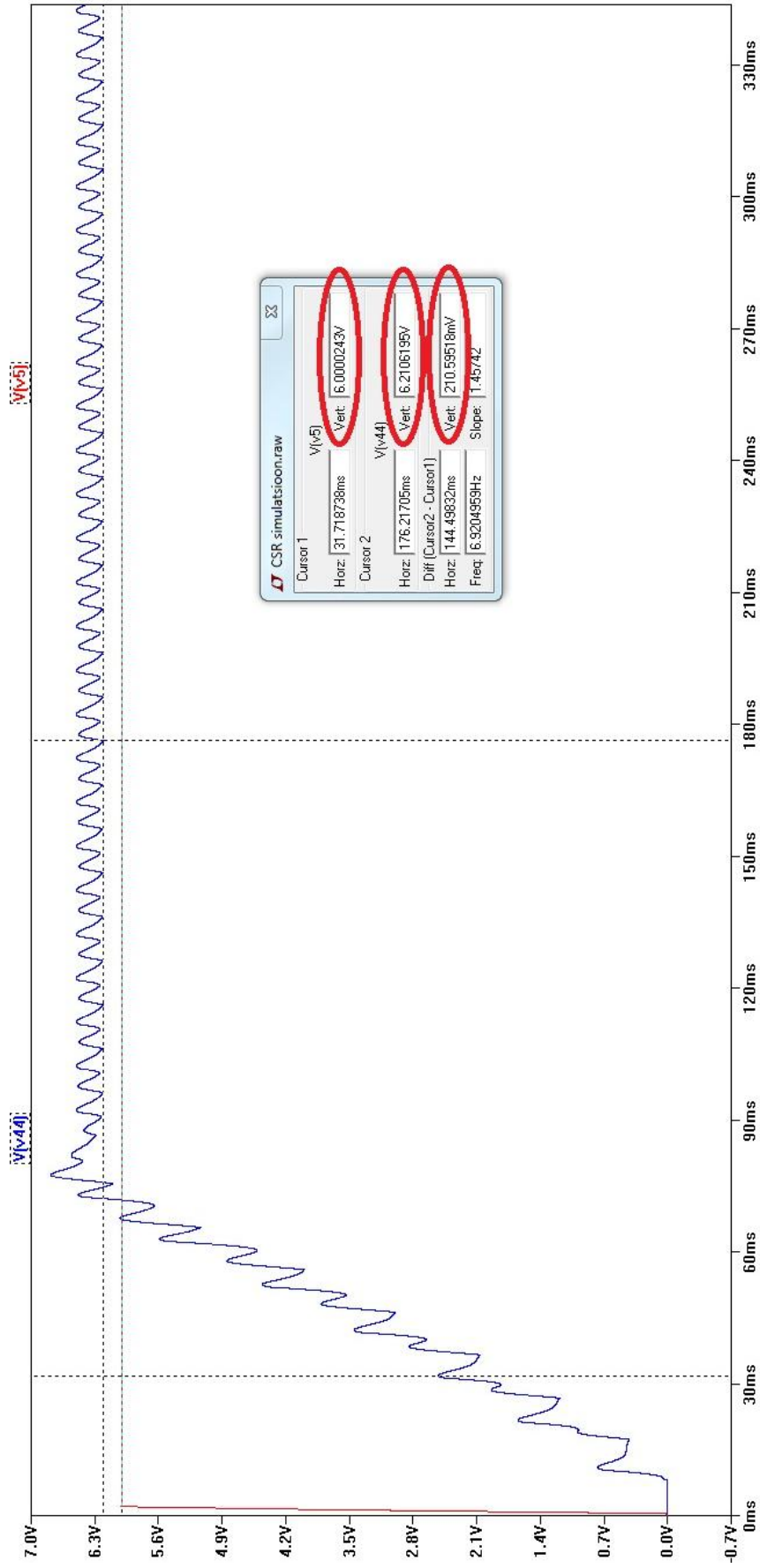
Simulatsioonide eesmärgiks on näha, kas valmistatud skeem käitub kirjeldatult.

- Väljundpinge peaks paistma väljundvoolust sõltumatuna
- Stabiliseerunud väljundpinge pulsatsioonid püsivad väiksemad, kui 500mV
- Stabiliseerunud väljundil ühe siinuspoolkaare vooluimpulsside erinevus ei ületa 5%, kui väljundvool on 10A
- Eeldatav väljundsagedus peaks olema 50% väljundpinge juures eelnevalt arvutatud optimaalse sagedusega (200 Hz) võrdväärne.

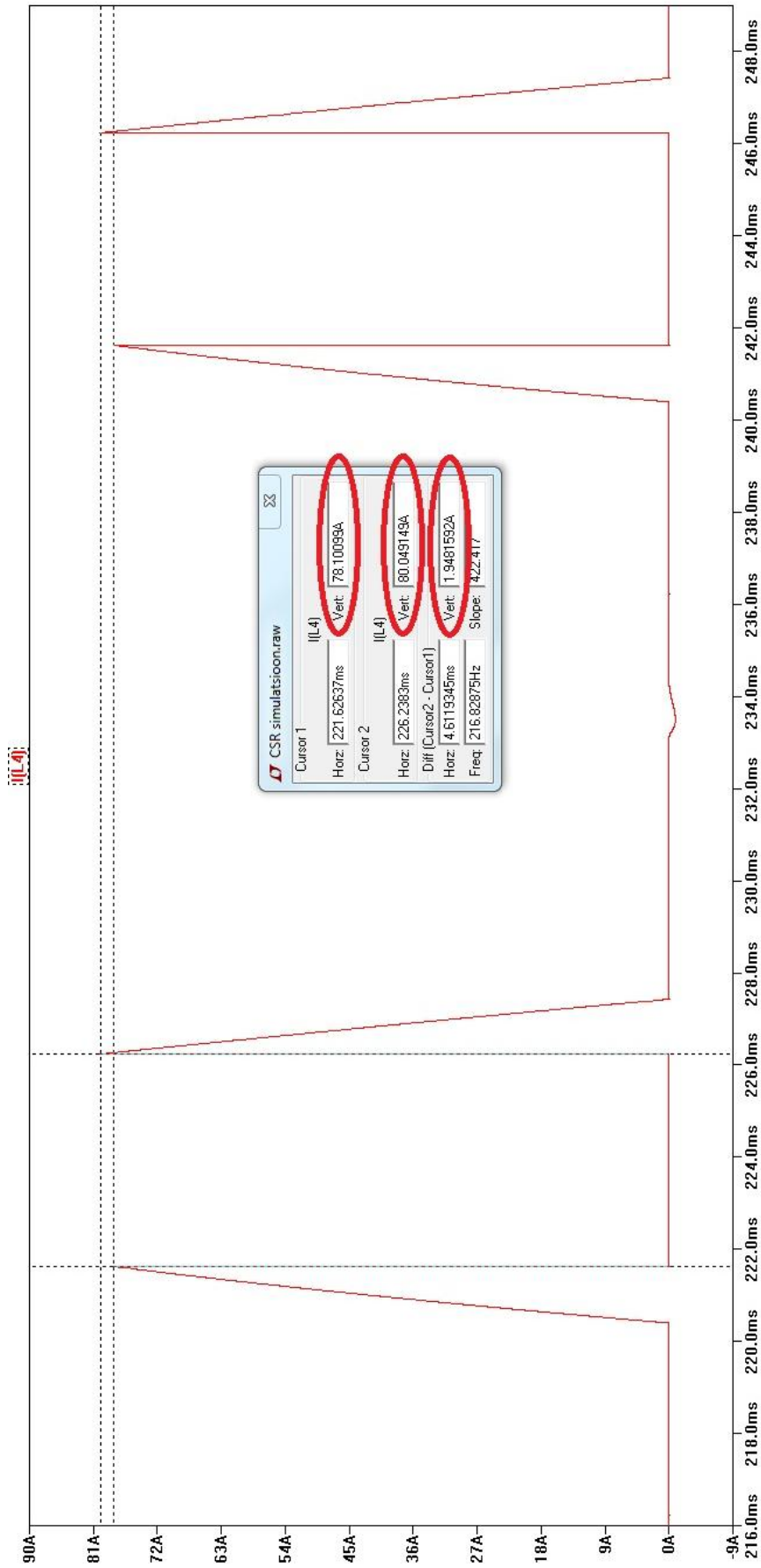
Olulised väärtused on peatükis 5 esinevatel joonistel tähistatud punase ovaaliga



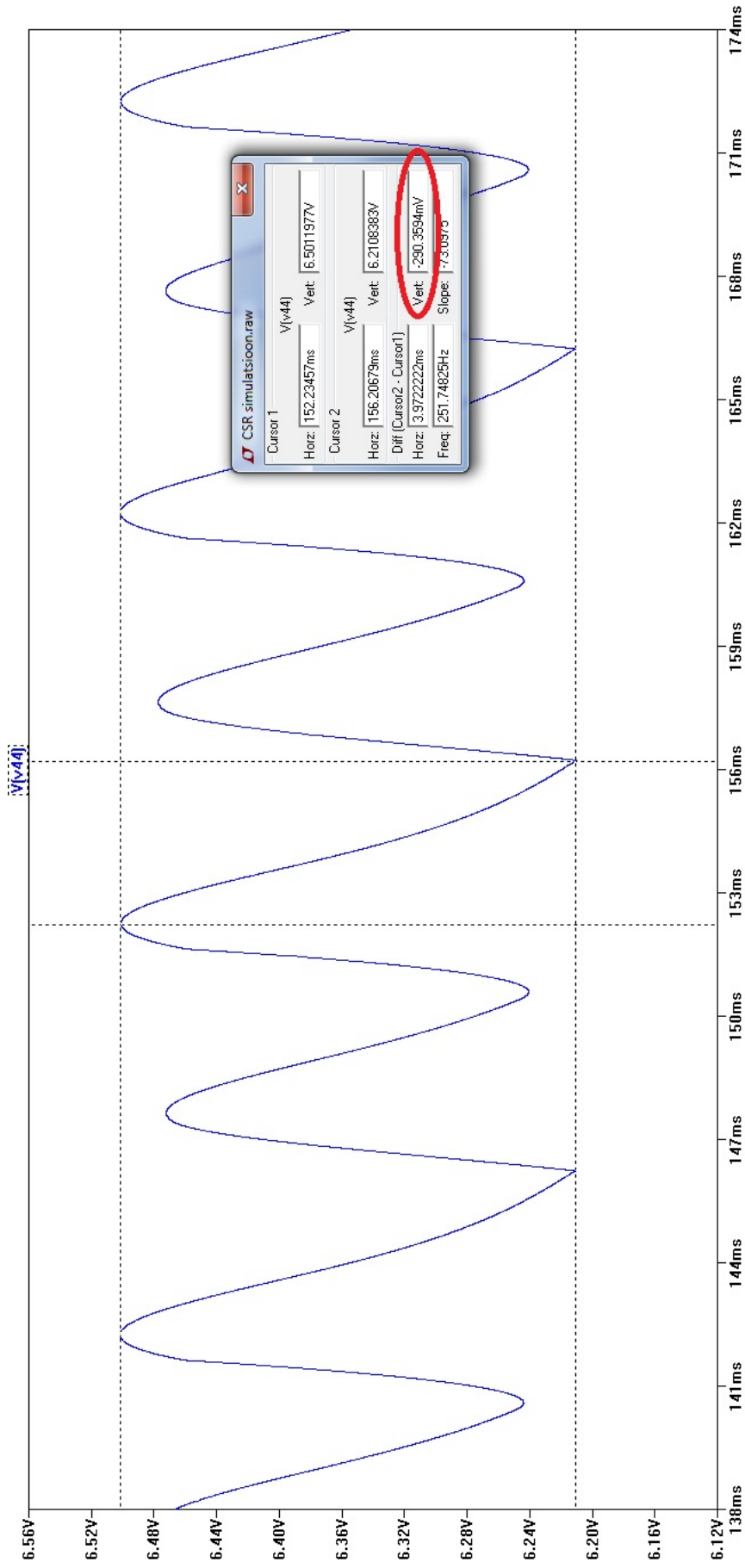
Joonis 5.1 Tüüritava sünkroonse alaldi terviklik simuleerimise skeem



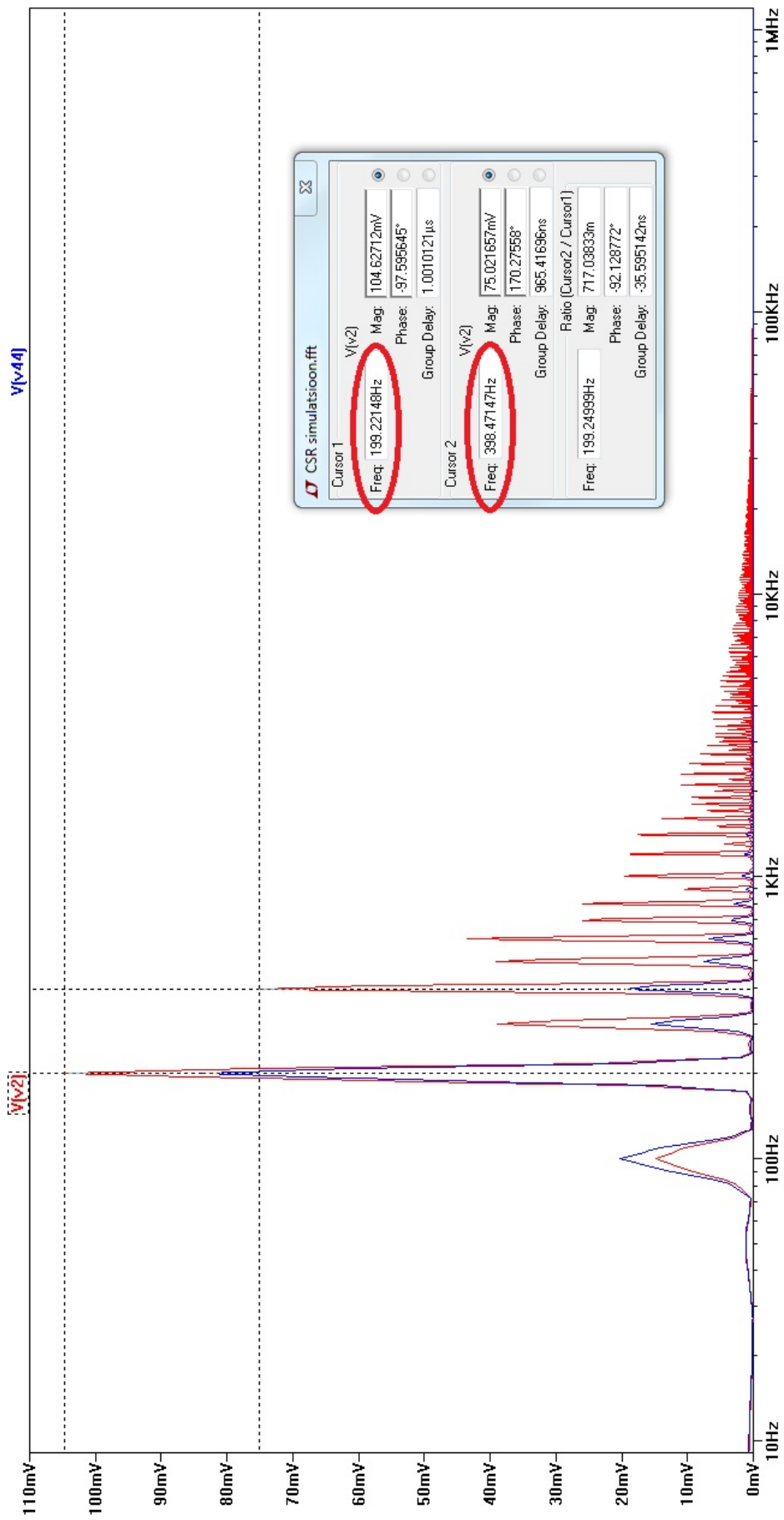
Joonis 5.2 Tüürtava sinkroonse alaldi väljundpinge punktis V44 kõrvatatud määratud pingega V5



Joonis 5.3 Ühe vooluahela trafo poolmähist läbiva voolu impulsside erinevuse mõõtmise ühe siinuspoolkaare kahel impulsil



Joonis 5.4 Simuleeritud väljundi pulsatsioonipinge mõõtmise tulemus



Joonis 5.5 Väljundite V44 ja V2 kõrvaltutud Fourieri analüüsid

Punktid, mis saavad ilmsiks vaadates käsitletud peatükis eelnenud simulatsiooni saaduste Jooniseid 5.2 – 5.5:

- Jooniselt 5.2 on näha, et väljundpinge on pisut suurem kui ette määratud pinge, kuid just suurem väärtus määratust tõestab ka väljundvoolust sõltumatust.
- Pii filtri rakendamisel on väljundi pulsatsioonipinge 10A-se väljundvoolu juures ~290mV, mis jääb ~210mV ettenähtud 500mV-st madalamale (vt. Joonis 5.3)
- Stabiliseerunud olekus on alaldatud vooluimpulsside protsendiline erinevus (V_{IE}) ühepoolkaare jooksul:

$$V_{IE} = \frac{[Diff(Cursor2 - Cursor1) Vert:]}{[(Cursor2)Vert:]} \cdot 100\%$$

$$V_{IE} = \frac{1,9481592 A}{80,049149 A} \cdot 100\% \cong 2,4\%$$

Mis tähendab, et *peak holder* töötab täpselt ja hoiab pulsatsioonide erinevused väiksemana kui 5%

- Jooniselt 5.3 võib näha, et töötades väljundiga 50% maksimaalpingest, on tõe-poolest väljundi töösagedus optimaalsega võrdväärne – 199,22148 Hz
Peale selle on eristatav ka sellele järgnevat esimest harmoonilist – 398,47147 Hz (vt. Joonis 5.x)

Jooniselt 5.2 on selgelt näha, et simuleeritud mudelis töötab edukalt ka sisendvoolu piiraja, sest väljundpinge kasvab simuleerimise algusel tüüritavas režiimis.

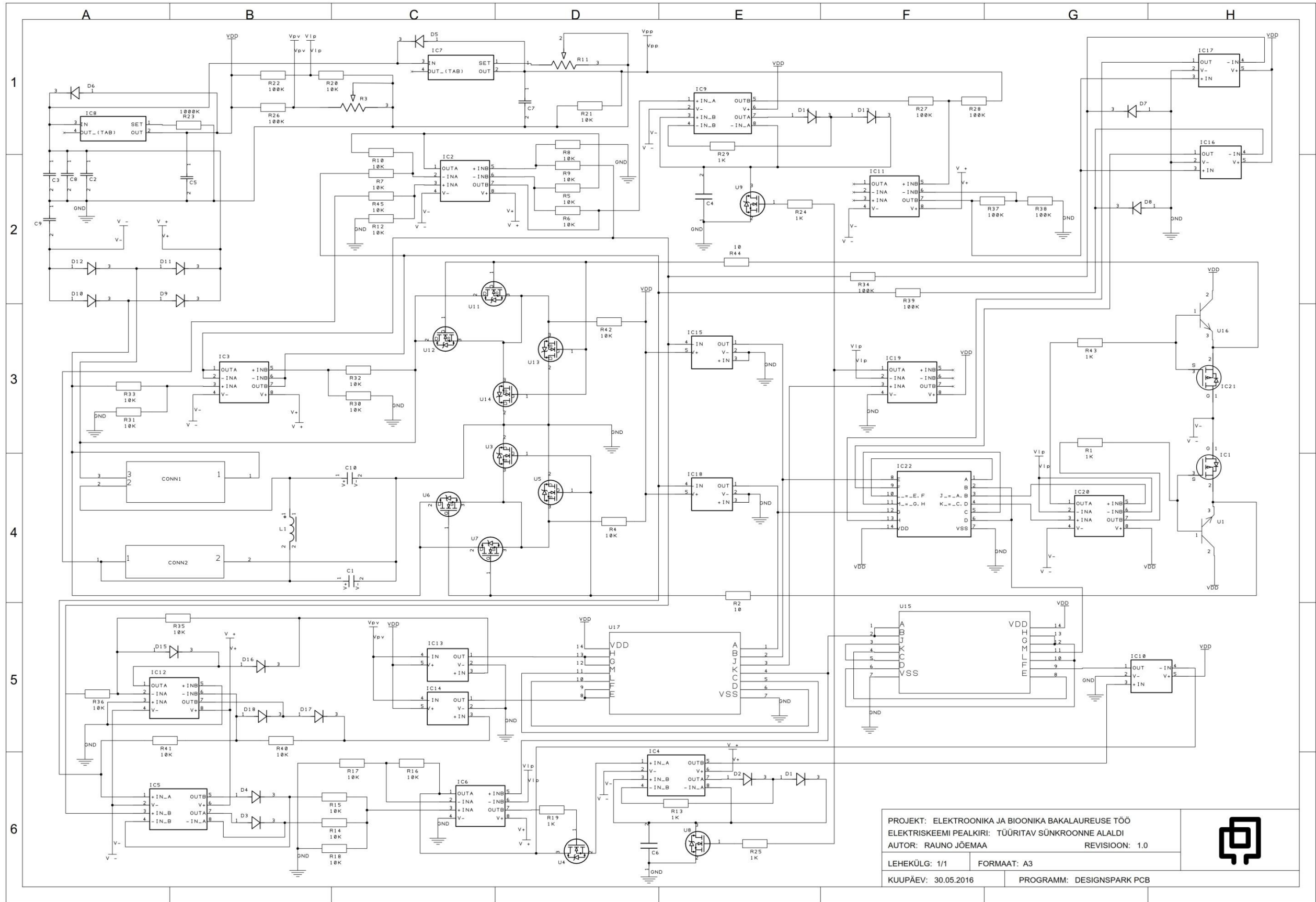
Simulatsiooni edukatelt tulemustelt saame kinnitust, et skeem töötab vastavalt tingimustele, mistõttu võib edasi arendada trükkplaadi.

6 Elektriskeem

Elektriskeem on püütud hoida võimalikult sarnasena simulatsiooni skeemile, sest aluseks võetud simulatsioonide tulemused olid võrdlemisi head. Kuna mõned komponendid simulatsiooniskeemis on raskemini muretsetavad kui teised, siis on nende puhul leitud ligilähedane asendus.

Kriitilisemad komponendid antud ülesande jaoks olid valitud arvestades head hinna ja kvaliteedi suhet:

- Tüüritava alaldi mooduli MOSFET – IRLB3034PbF
tootja: International Rectifier
olulisemad parameetrid: (vt. LISA 1)
- Silufiltri kondensaatorid – E32D500HPN104MDA5M
tootja: United Chemi-con
olulisemad parameetrid: 100mF; 50V; 31,43A; 6,8mΩ (ESR),
- Silufiltri induktor – HA55-3023130LF
tootja: TT Electronics
olulisemad parameetrid: 13uH; 37A; 3,25mΩ (DCR), Shielded
- JFET operatsioonivõimendid – LT1057
tootja: Linear Technology
olulisemad parameetrid: 13V/us (*Slew Rate*); 7pA (*Input bias*)



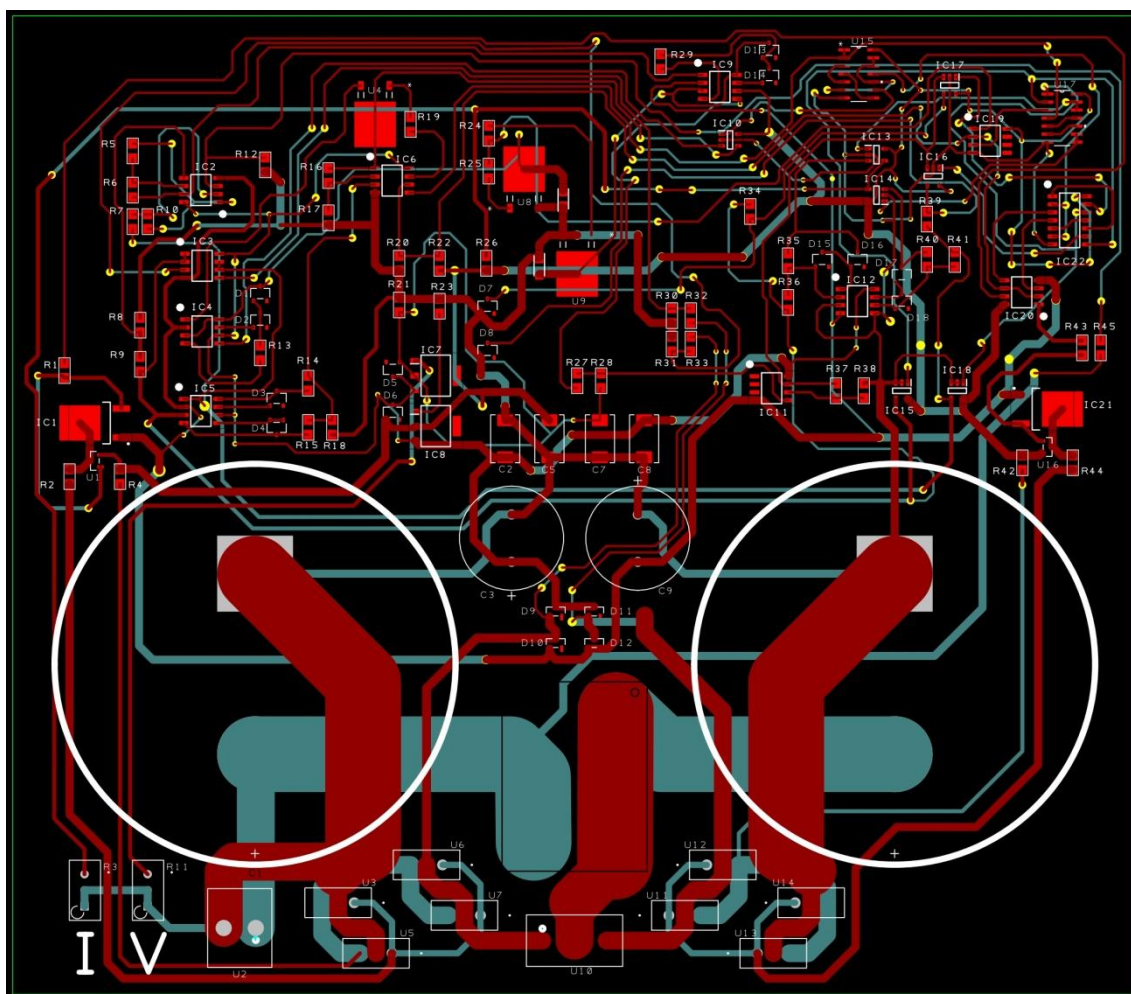
Joonis 6.1 Tüüritava sünkroonse aladi elektriskeem

7 Trükkplaadi kujundus

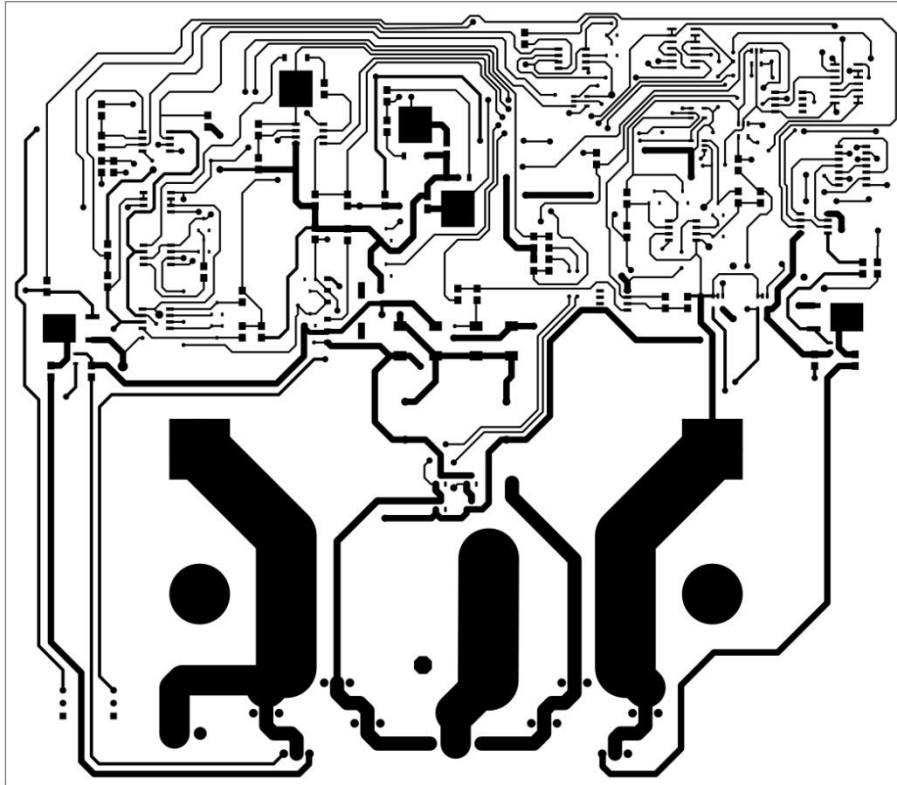
Käsitletud töös kirjeldatava tüüritava sünkroonse alaldi trükkplaadi (*Printed Circuit Board – PCB*) visand on valmistatud vabavaralises programmis DesignSpark PCB. Nimetatud programm võimaldab disainida elektriskeemi, selle trükkplaadi Gerber failid ning võimaldab genereerida ka 3D vaadet trükkplaadist (vt. LISA 3).

Kõik komponendid on asetatud trükkplaadi pealmisele poolele, seadme jõu osa on hoitud võimalikult sümmeetriline ning võimalikult lühikeste radadega.

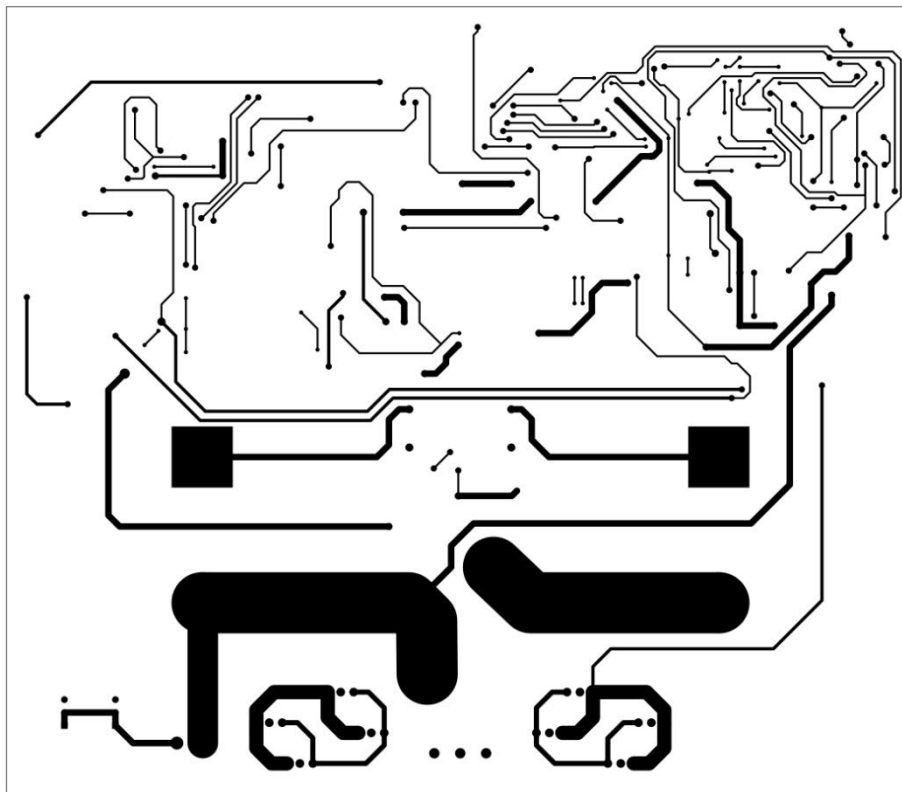
Järgnevalt esitatud joonistelt võib näha trükkplaadi erinevaid kihte.



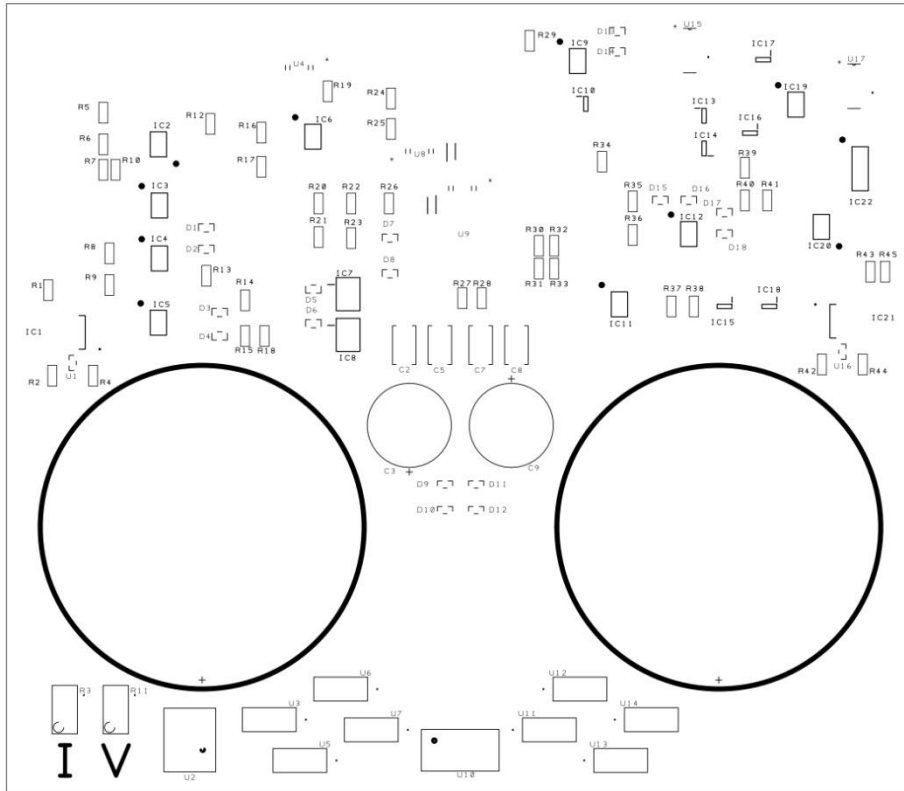
Joonis 7.1 Trükkplaadi kõik kihid (värviline)



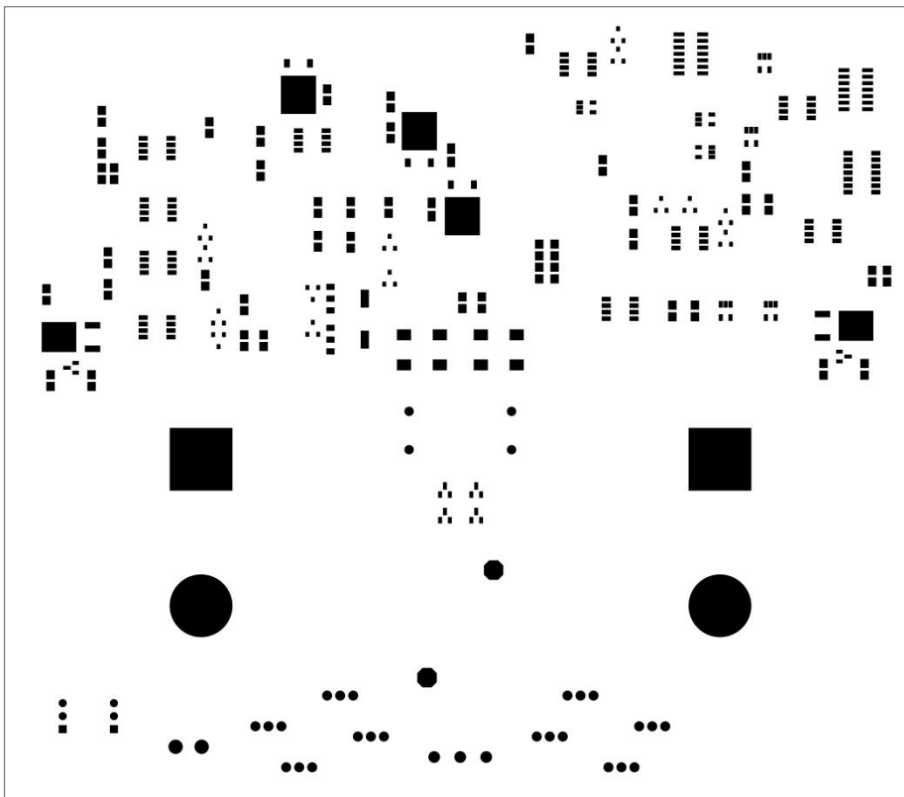
Joonis 7.2 Trükkplaadi ülemine vasekiht



Joonis 7.3 Trükkplaadi alumine vasekiht



Joonis 7.4 Trükkplaadi siiditrükk



Joonis 7.5 Trükkplaadi ülemise vasekihi jootemask

8 Kokkuvõte

Tüüritav sünkroonne alaldi sai lahatud põhjalikult alustades MOSFET-ide eripäradest, uurides nende lahendusi ning lõpetades töötava simulatsiooni mudeliga, mille alusel sai valmistatud ka kujundatud trükkplaat.

Tüüritav sünkroonne alaldi on realiseeritav, isegi ka selliste lähtetingimustega. Simulatsioonides otseselt probleeme ei ilmenud, kuid ohud on olemas. Seega võib küll öelda, et saab luua täisfunktsionaalse tüüritava sünkroonse alaldi, võttes toitepinged ühelt keskväljavõttest transformatorilt, kuid mõnes kohas on veel piiripealsed lahendused. Kui MOSFET-ide lülituste ala- ja ülereguleerimiste tõttu peaks MOSFET valedel hetkedel avanema, siis on väljundil kindlasti rohkem impulsse kui kaks. Samas on olulisem oht selles, et MOSFET ei lülitu nendel hetkedel täielikult sisse, mistõttu jääb MOSFET-ile väga suur pingelang. Antud simulatsiooni mudelil selliseid probleeme ei ilmnenu.

Põhilised ülesanded said täidetud, kus tüüritav sünkroonne alaldi võimaldas väljundpinget määrata reaajalise kompenseerimisega ning automaatselt rakendus ka soft-start. Süsteem töötas täielikult sisendsignaali tuginedes ning ei vajanud ajapõhiseid funktsioone.

Tüüritav sünkroonne alaldi näeks edasiarendust superkondensaatorite maailmas, kus silufiltri järgseid pulsatsioonipingeid saaks veelgi malamale tuua.

Kasutatud kirjandus

1. В. Калашник, г. Воронеж, Синхронный выпрямитель, 2013 [E-ajakiri] (http://www.radioradar.net/radiofan/power_supply/synchronous_rectifier.html) (31.05.2016)
2. Ian Poole, Power MOSFE: Switch [WWW] (<http://www.radio-electronics.com/info/data/semicond/fet-field-effect-transistor/power-mosfet.php>) (31.05.2016)
3. Abdus Sattar, IXYS Corporation, Power MOSFET Basics, Figure 1 [WWW] (<http://www.ixys.com/Documents/AppNotes/IXAN0061.pdf>) (31.05.2016)
4. FG MES, Repetition Transistor Models – *Structure of MOSFET*, 2001 [online] (http://people.seas.harvard.edu/~jones/es154/lectures/lecture_3/darmstadt/sld002.htm) (31.05.2016)
5. European Editors, MOSFETs that Can Take the Heat, 2013, Figure 1 [WWW] (<http://www.digkey.com/en/articles/techzone/2013/oct/mosfets-that-can-take-the-heat>) (31.05.2016)
6. Christopher Henderson, Underfills, Part 1 – *Technical Tidbit – Snapback*, 2016 [E-ajakiri] Semitracks Monthly Newsletter (<http://www.semitracks.com/newsletters/february/2016-february-newsletter.php>) (31.05.2016)
7. IGFET [WWW] (<http://hyperphysics.phy-astr.gsu.edu/hbase/electronic/fet.html>) (31.05.2016)
8. Valery Vodovozov, Raik Jansikene, Jõuelektroonika, 2006, 83 [WWW] (<http://www.ene.ttu.ee/elektriamid/oppeinfo/materjal/IN660/J6UELEKTROONIKA.pdf>) (31.05.2016)
9. Sanjay Havanur, Philip Zuk, Device Application Note AN 849 – *Power MOSFET Basics Understanding Superjunction Technology*, 2015, 1 [WWW] (<http://www.vishay.com/docs/66864/an849.pdf>) (31.05.2016)
10. Switched-mode power supply [WWW] (https://en.wikipedia.org/wiki/Switched-mode_power_supply) (31.05.2016)

11. Capacitor-input filter [WWW] (https://en.wikipedia.org/wiki/Capacitor-input_filter) (31.05.2016)
12. Dr. Kenneth L. Kaiser, Electromagnetic Compatibility Handbook, 2004, 7-35 (7.87), 7-36 (7.90) [online] Google Books (<https://books.google.ee/books?id=nZzOAsroBIEC>) (31.05.2016)
13. Argo Kasemaa, Elektroonika komponendid, 2003, 34 [WWW] (<http://web.zone.ee/alvasi/elektroonikakomponendid.pdf>) (31.05.2016)
14. Linear Technology, LT3080, Datasheet, 1 [online] (<http://cds.linear.com/docs/en/datasheet/3080fc.pdf>) (31.05.2016)

LISA 1 – Valitud MOSFET-i andmelehe esileht

International
IR Rectifier

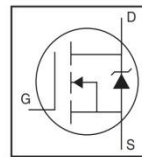
PD -97363

IRLB3034PbF

HEXFET® Power MOSFET

Applications

- DC Motor Drive
- High Efficiency Synchronous Rectification in SMPS
- Uninterruptible Power Supply
- High Speed Power Switching
- Hard Switched and High Frequency Circuits



V_{DS}	40V
$R_{DS(on)}$ typ.	1.4mΩ
max.	1.7mΩ
I_D (Silicon Limited)	343A ①
I_D (Package Limited)	195A

Benefits

- Optimized for Logic Level Drive
- Very Low $R_{DS(ON)}$ at 4.5V V_{GS}
- Superior R^*Q at 4.5V V_{GS}
- Improved Gate, Avalanche and Dynamic dV/dt Ruggedness
- Fully Characterized Capacitance and Avalanche SOA
- Enhanced body diode dV/dt and dI/dt Capability
- Lead-Free



G	D	S
Gate	Drain	Source

Absolute Maximum Ratings

Symbol	Parameter	Max.	Units
I_D @ $T_C = 25^\circ\text{C}$	Continuous Drain Current, $V_{GS} @ 10\text{V}$ (Silicon Limited)	343 ①	A
I_D @ $T_C = 100^\circ\text{C}$	Continuous Drain Current, $V_{GS} @ 10\text{V}$ (Silicon Limited)	243 ①	
I_D @ $T_C = 25^\circ\text{C}$	Continuous Drain Current, $V_{GS} @ 10\text{V}$ (Package Limited)	195	
I_{DM}	Pulsed Drain Current ②	1372	
P_D @ $T_C = 25^\circ\text{C}$	Maximum Power Dissipation	375	W
	Linear Derating Factor	2.5	W/ $^\circ\text{C}$
V_{GS}	Gate-to-Source Voltage	± 20	V
dv/dt	Peak Diode Recovery ③	4.6	V/ns
T_J	Operating Junction and Storage Temperature Range	-55 to + 175	$^\circ\text{C}$
T_{STG}			
	Mounting torque, 6-32 or M3 screw	10lbf·in (1.1N·m)	

Avalanche Characteristics

E_{AS} (Thermally limited)	Single Pulse Avalanche Energy ③	255	mJ
I_{AR}	Avalanche Current ②	See Fig. 14, 15, 22a, 22b,	A
E_{AR}	Repetitive Avalanche Energy ②		mJ

Thermal Resistance

Symbol	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case ③	—	0.4	$^\circ\text{C}/\text{W}$
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	0.5	—	
$R_{\theta JA}$	Junction-to-Ambient	—	62	

www.irf.com

1
01/14/09

LISA 2 – Valitud MOSFET-i andmelehe kolmas leht

International
IR Rectifier

IRLB3034PbF

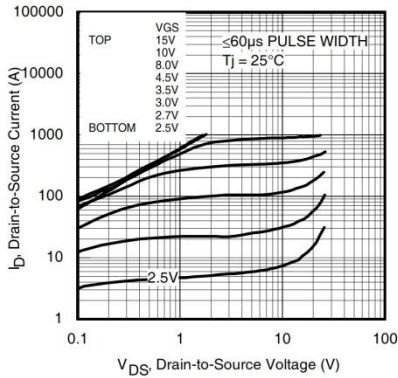


Fig 1. Typical Output Characteristics

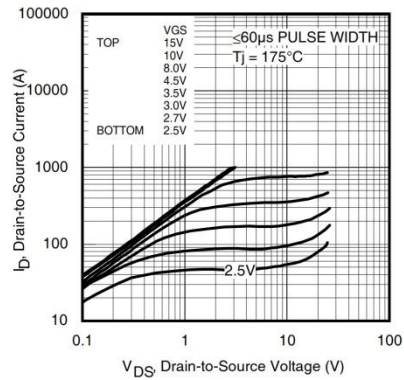


Fig 2. Typical Output Characteristics

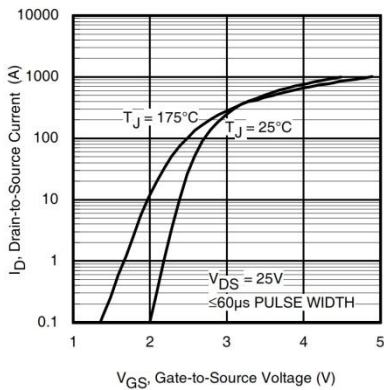


Fig 3. Typical Transfer Characteristics

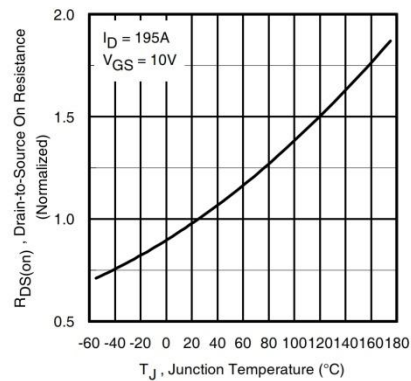


Fig 4. Normalized On-Resistance vs. Temperature

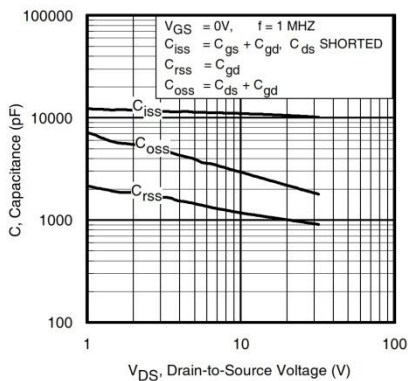


Fig 5. Typical Capacitance vs. Drain-to-Source Voltage

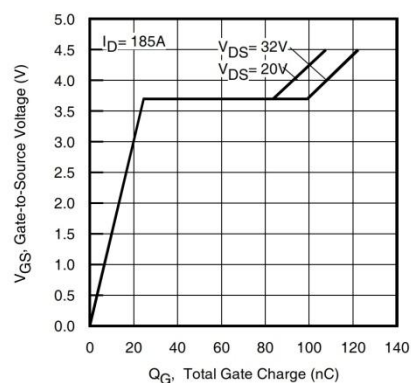


Fig 6. Typical Gate Charge vs. Gate-to-Source Voltage

www.irf.com

3

LISA 3 – Trükkplaadi 3D mudel

